

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月12日

出 願 番 号

Application Number:

特願2002-204695

[ST.10/C]:

[JP2002-204695]

出 願 人

Applicant(s):

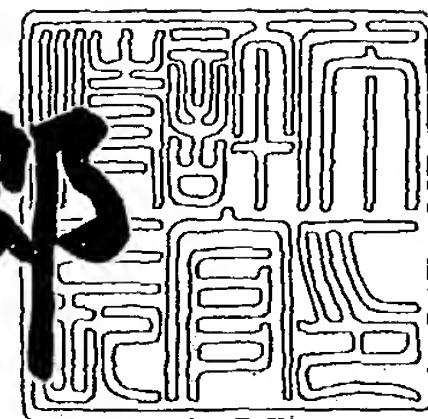
パイオニア株式会社  
静岡パイオニア株式会社

Eishiro OTANI, et al. Q76369  
DISPLAY DEVICE, AND DISPLAY PANEL.....  
Darryl Mexic 202-293-7060  
July 10, 2003

2003年 1月 7日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3103955

【書類名】 特許願

【整理番号】 56P0752

【提出日】 平成14年 7月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 17/49

【発明の名称】 表示装置及び表示パネルの駆動方法

【請求項の数】 15

【発明者】

    【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ  
ニア株式会社 甲府事業所内

    【氏名】 尾谷 栄志郎

【発明者】

    【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ  
ニア株式会社 甲府事業所内

    【氏名】 雨宮 公男

【発明者】

    【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ  
ニア株式会社 甲府事業所内

    【氏名】 佐藤 陽一

【発明者】

    【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ  
ニア株式会社 甲府事業所内

    【氏名】 徳永 勉

【特許出願人】

    【識別番号】 000005016

    【氏名又は名称】 パイオニア株式会社

【特許出願人】

    【識別番号】 398050283

    【氏名又は名称】 静岡パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【包括委任状番号】 0011750

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置及び表示パネルの駆動方法

【特許請求の範囲】

【請求項 1】 入力映像信号に基づく各画素毎の画素データに応じて前記入力映像信号に対応した画像表示を行う表示装置であって、

放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、第 1 放電セルと、光吸収層及び 2 次電子放出材料層を備えた第 2 放電セルとからなる単位発光領域が形成されている表示パネルと、

前記行電極対各々の一方の行電極に順次走査パルスを加しつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを 1 表示ライン分ずつ順次前記列電極各々に印加して前記第 2 放電セル内において選択的にアドレス放電を生起せしめることにより前記第 1 放電セルを点灯セル状態及び消灯セル状態のいずれか一方に設定するアドレス手段と、

前記行電極対の各々にサステインパルスを繰り返し印加して前記第 1 放電セルの中で前記点灯セル状態にあるもののみにいてサステイン放電を生起せしめるサステイン手段と、を含むことを特徴とする表示装置。

【請求項 2】 前記光吸収層は前記第 2 放電セル内における前記前面基板側に形成されており、

前記 2 次電子放出材料層は前記第 2 放電セル内における前記背面基板側に形成されていることを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記第 1 放電セル内のみに蛍光体層が形成されていることを特徴とする請求項 1 記載の表示装置。

【請求項 4】 前記行電極対を構成する行電極各々は水平方向に伸張して形成されている本体部と、前記本体部上における前記列電極各々に対応した位置から他方の行電極側に向けて夫々突起して形成されている突起電極端とを備え、

前記第 1 放電セルは前記行電極対を担う前記行電極各々の前記突起電極端を含み、

前記第 2 放電セルは前記行電極対における一方の行電極の前記本体部と、前記行電極対に隣接する前記行電極対における一方の行電極の前記本体部とを含むことを特徴とする請求項 1 記載の表示装置。

【請求項 5】 前記アドレス手段による前記アドレス放電に先立って前記行電極にリセットパルスを印加することにより前記第 2 放電セル内の前記列電極及び前記行電極間においてリセット放電を生起せしめるリセット手段を更に備えたことを特徴とする請求項 1 記載の表示装置。

【請求項 6】 前記アドレス手段による前記アドレス放電に先立って前記行電極対の一方の行電極に正極性のリセットパルスを印加すると共に前記行電極対の他方の行電極に負極性のリセットパルスを印加することにより前記第 2 放電セル内の前記列電極及び前記行電極間、並びに前記第 1 放電セル内において夫々リセット放電を生起せしめるリセット手段を更に備えたことを特徴とする請求項 1 記載の表示装置。

【請求項 7】 前記リセット手段は、奇数表示ラインに属する前記第 1 放電セル及び前記第 2 放電セルにおいて生起させる前記リセット放電と偶数表示ラインに属する前記第 1 放電セル及び前記第 2 放電セルにおいて生起させる前記リセット放電とを時間的に分離して実行することを特徴とする請求項 6 記載の表示装置。

【請求項 8】 前記リセットパルスは、前記サステインパルスに比して立ち上がり区間及び立下り区間でのレベル推移が緩やかな波形を有することを特徴とする請求項 1 及び 5 記載の表示装置。

【請求項 9】 前記サステイン手段による前記サステイン放電の終了後、前記行電極に消去パルスを印加することにより前記第 1 放電セル及び前記第 2 放電セル内において消去放電を生じせしめる消去手段を更に有することを特徴とする請求項 1 記載の表示装置。

【請求項 10】 放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、第 1 放電セルと光吸収層及び 2 次電子放出材料

層を備えた第 2 放電セルとからなる単位発光領域が形成されている表示パネルを、入力映像信号に基づく各画素毎の画素データに応じて駆動する表示パネルの駆動方法であって、

前記行電極対各々の一方の行電極に順次走査パルス印加しつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを 1 表示ライン分ずつ順次前記列電極各々に印加して前記第 2 放電セル内において選択的にアドレス放電を生起せしめることにより前記第 1 放電セルを点灯セル状態及び消灯セル状態のいずれか一方に設定するアドレス行程と、

前記行電極対の各々にサステインパルスを繰り返し印加して前記第 1 放電セルの内で前記点灯セル状態にあるもののみにいてサステイン放電を生起せしめるサステイン行程と、を含むことを特徴とする表示パネルの駆動方法。

【請求項 1 1】 前記アドレス行程に先立って前記行電極にリセットパルスを印加することにより前記第 2 放電セル内の前記列電極及び前記行電極間においてリセット放電を生起せしめるリセット行程を更に備えたことを特徴とする請求項 1 1 記載の表示パネルの駆動方法。

【請求項 1 2】 前記アドレス行程に先立って前記行電極対の一方の行電極に正極性のリセットパルスを印加すると共に前記行電極対の他方の行電極に負極性のリセットパルスを印加することにより前記第 2 放電セル内の前記列電極及び前記行電極間、並びに前記第 1 放電セル内において夫々リセット放電を生起せしめるリセット行程を更に備えたことを特徴とする請求項 1 1 記載の表示パネルの駆動方法。

【請求項 1 3】 前記リセット行程は、奇数表示ラインに属する前記第 1 放電セル及び前記第 2 放電セル各々に対して前記リセット放電を生起せしめる奇数リセット行程と、偶数表示ラインに属する前記第 1 放電セル及び前記第 2 放電セル各々に対して前記リセット放電を生起せしめる偶数リセット行程と、からなることを特徴とする請求項 1 2 記載の表示パネルの駆動方法。

【請求項 1 4】 前記リセットパルスは、前記サステインパルスに比して立ち上がり区間及び立下り区間でのレベル推移が緩やかな波形を有することを特徴とする請求項 1 1、1 2 記載の表示パネルの駆動方法。



【請求項 1 5】 前記サステイン行程の終了後に、前記行電極に消去パルス  
を印加することにより前記第 1 放電セル及び前記第 2 放電セル内において消去放  
電を生じせしめる消去行程を更に含むことを特徴とする請求項 1 0 記載の表示パ  
ネルの駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、表示パネルを搭載した表示装置に関する。

【0 0 0 2】

【従来の技術】

近年、大型で薄型のカラー表示パネルとして面放電方式交流型プラズマディス  
プレイパネルを搭載したプラズマディスプレイ装置が注目されている。

図 1 ～図 3 は、従来の面放電方式交流型プラズマディスプレイパネルの構成の  
一部を示す図である。

【0 0 0 3】

プラズマディスプレイパネル（PDP）には、互いに平行に配置された前面ガ  
ラス基板 1 と背面ガラス基板 4 との間に画素毎に放電を生じさせるための構成が  
形成されている。前面ガラス基板 1 の表面が表示面となる。前面ガラス基板 1 の  
裏面側には、長手の複数の行電極対（X' , Y' ）と、この行電極対（X' , Y  
' ）を被覆する誘電体層 2 と、この誘電体層 2 の裏面を被覆する MgO からなる  
保護層 3 が順に設けられている。各行電極 X' , Y' は、それぞれ、幅の広い I  
TO 等の透明導電膜からなる透明電極 X a' , Y a' と、その導電性を補う幅の  
狭い金属膜からなるバス電極 X b' , Y b' とから構成されている。行電極 X'  
と Y' とが放電ギャップ g' を挟んで対向するように表示画面の垂直方向に交互  
に配置されており、各行電極対（X' , Y' ）によって、マトリクス表示の 1 表  
示ライン（行）L が構成されている。背面ガラス基板 4 には、行電極対 X' , Y  
' と直交する方向に配列された複数の列電極 D' と、この列電極 D' 間にそれぞ  
れ平行に形成された帯状の隔壁 5 と、この隔壁 5 の側面と列電極 D' を被覆する  
それぞれ赤（R）、緑（G）、青（B）の蛍光材料によって形成された蛍光体層

6 とが設けられている。上記保護層 3 及び蛍光体層 6 間には、キセノンを含む  $\text{Ne-Xe}$  ガスが封入されている放電空間  $S'$  が存在する。各表示ライン  $L$  には、列電極  $D'$  及び行電極対 ( $X'$ ,  $Y'$ ) の交差部において放電空間  $S'$  を隔壁 5 によって区画した、単位発光領域としての放電セル  $C'$  が形成されている。

#### 【 0 0 0 4 】

上記の面放電方式交流型 PDP における画像の形成には、中間調を表示させるための方法として、1 フィールドの表示期間を  $N$  ビットの表示データの各ビット桁の重み付けに対応した回数だけ発光する  $N$  個のサブフィールドに分割する、いわゆる、サブフィールド法が用いられている。

このサブフィールド法において、1 フィールドの表示期間が分割された各サブフィールドは、図 4 に示す如く、一斉リセット期間  $R_c$ 、アドレス期間  $W_c$ 、及びサステイン期間  $I_c$  によって構成されている。一斉リセット期間  $R_c$  では、互いに対をなす行電極  $X'_1 \sim X'_n$  と  $Y'_1 \sim Y'_n$  間にリセットパルス  $RP_x$ ,  $RP_y$  が一斉に印加されることによって、全ての放電セルにおいて一斉にリセット放電が行われ、これによって、一旦、各放電セル内に所定量の壁電荷が形成される。次のアドレス期間  $W_c$  では、行電極対の一方の行電極  $Y'_1 \sim Y'_n$  に、順次、走査パルス  $SP$  が印加されるとともに、列電極  $D'_1 \sim D'_m$  に、各表示ライン毎に画像の表示データに対応した表示データパルス  $DP_1 \sim DP_n$  が印加されて、アドレス放電（選択消去放電）が生起される。このとき、各放電セルは、画像の表示データに対応して、消去放電が発生されずに壁電荷が形成されたままの発光セルと、消去放電が発生して壁電荷が消滅した非発光セルとに分けられる。次のサステイン期間  $I_c$  では、互いに対をなす行電極  $X'_1 \sim X'_n$  と  $Y'_1 \sim Y'_n$  間にサステインパルス  $IP_x$ ,  $IP_y$  が各サブフィールドの重み付けに対応した数だけ印加される。これによって、壁電荷が残留したままの発光セルのみが、印加されるサステインパルス  $IP_x$ ,  $IP_y$  の数に対応した数だけサステイン放電を繰り返す。かかるサステイン放電により、放電空間  $S'$  に封入されているキセノン  $Xe$  から波長  $147\text{ nm}$  の真空紫外線が放射される。かかる真空紫外線により、背面基板上に形成されている赤 ( $R$ )、緑 ( $G$ )、青 ( $B$ ) の蛍光体層が励起して可視光を発生することにより、入力映像信号に対応した画像が得られるのである。



## 【 0 0 0 5 】

このような PDP における画像形成においては、上記のように、アドレス放電やサステイン放電の安定化のためにその放電の開始前にリセット放電が行われる。更に、アドレス放電も各サブフィールド毎に行われる。従来の PDP では、このリセット放電およびアドレス放電が、サステイン放電によって画像形成のための可視光を発生させる放電セル C' 内において行われる。よって、黒等の暗い画像の表示が行われる際にもリセット放電やアドレス放電による発光がパネルの表示面に現れて画面が明るくなってしまうため、コントラストの低下等が生じる場合があった。

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

そこで、本発明は、かかる問題点を解決すべく為されたものであり、コントラスト向上等を図ることが出来る表示装置及び表示パネルの駆動方法を提供することを目的としている。

## 【 0 0 0 7 】

## 【課題を解決するための手段】

本発明による請求項 1 に記載の表示装置は、入力映像信号に基づく各画素毎の画素データに応じて前記入力映像信号に対応した画像表示を行う表示装置であって、放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、第 1 放電セルと、光吸収層及び 2 次電子放出材料層を備えた第 2 放電セルとからなる単位発光領域が形成されている表示パネルと、前記行電極対各々の一方の行電極に順次走査パルスを加しつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを 1 表示ライン分ずつ順次前記列電極各々に印加して前記第 2 放電セル内において選択的にアドレス放電を生起せしめることにより前記第 1 放電セルを点灯セル状態及び消灯セル状態のいずれか一方に設定するアドレス手段と、前記行電極対の各々にサステインパルスを繰り返し印加して前記第 1 放電セルの内で前記点灯セル状態にあるもののみに

においてサステイン放電を生起せしめるサステイン手段と、を含む。

【 0 0 0 8 】

又、本発明による請求項 1 0 に記載の表示パネルの駆動方法は、放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、第 1 放電セルと光吸収層及び 2 次電子放出材料層を備えた第 2 放電セルとからなる単位発光領域が形成されている表示パネルを、入力映像信号に基づく各画素毎の画素データに応じて駆動する表示パネルの駆動方法であって、前記行電極対各々の一方の行電極に順次走査パルスを加えつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを 1 表示ライン分ずつ順次前記列電極各々に印加して前記第 2 放電セル内において選択的にアドレス放電を生起せしめることにより前記第 1 放電セルを点灯セル状態及び消灯セル状態のいずれか一方に設定するアドレス行程と、前記行電極対の各々にサステインパルスを繰り返し印加して前記第 1 放電セルの内で前記点灯セル状態にあるもののみににおいてサステイン放電を生起せしめるサステイン行程と、を含む。

【 0 0 0 9 】

【発明の実施の形態】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図 5 は、本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

図 5 に示すように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしての PDP 5 0、奇数 X 電極ドライバ 5 1、偶数 X 電極ドライバ 5 2、奇数 Y 電極ドライバ 5 3、偶数 Y 電極ドライバ 5 4、アドレスドライバ 5 5、及び駆動制御回路 5 6 から構成される。

【 0 0 1 0 】

PDP 5 0 には、表示画面における垂直方向に夫々伸張している帯状の列電極  $D_1 \sim D_m$  が形成されている。更に、PDP 5 0 には、表示画面における水平方向に夫々伸張している帯状の行電極  $X_0$ 、 $X_1 \sim X_n$  及び行電極  $Y_1 \sim Y_n$  が形成され

ている。一对の行電極、つまり行電極対 $(X_1, Y_1) \sim$ 行電極対 $(X_n, Y_n)$ 各々が PDP 50 における第 1 表示ライン～第  $n$  表示ラインを担い、各表示ラインと列電極  $D_1 \sim D_m$  各々との各交叉部に単位発光領域、つまり画素を担う画素セル PC が形成されている。すなわち、PDP 50 には、図 5 に示す如き形態にて画素セル  $PC_{1,1} \sim PC_{n,m}$  がマトリクス状に配列されているのである。尚、行電極  $X_0$  は、第 1 表示ラインに属する画素セル  $PC_{1,1} \sim PC_{1,m}$  各々に含まれる。

#### 【 0 0 1 1 】

図 6～図 8 は、PDP 50 の内部構造の一部を抜粋して示す図である。

図 7 に示すように、PDP 50 は、互いに平行に配置された前面ガラス基板 10 と背面ガラス基板 13 との間に画素毎に放電を生じさせるための上記列電極 D、行電極 X 及び Y を含む各種構成が形成されている。前面ガラス基板 10 の表面が表示面となり、その裏面側に、複数の長手の行電極対 $(X, Y)$ が表示画面における水平方向（図 5 の左右方向）に夫々平行に配列されている。

#### 【 0 0 1 2 】

行電極 X は、T 字形状に形成された ITO 等の透明導電膜からなる透明電極 Xa と、金属膜からなる黒色のバス電極 Xb（行電極 X の本体部）とによって構成されている。バス電極 Xb は、表示画面における水平方向に伸張した帯状の電極である。透明電極 Xa における幅狭の基端部が表示画面における垂直方向に伸張してバス電極 Xb に接続されている。透明電極 Xa は、バス電極 Xb 上における各列電極 D に対応した位置に夫々接続されている。すなわち、透明電極 Xa は帯状のバス電極 Xb 上における各列電極 D に対応した位置から、対を為す行電極 Y 側に向けて突起した突起電極端なのである。行電極 Y も同様に、T 字形状に形成された ITO 等の透明電極膜からなる透明電極 Ya と、金属膜からなる黒色のバス電極 Yb（行電極 Y の本体部）とによって構成されている。バス電極 Yb は、表示画面における水平方向に伸張した帯状の電極である。透明電極 Ya における幅狭の基端部が表示画面における垂直方向に伸張してバス電極 Yb に接続されている。透明電極 Ya は、バス電極 Yb 上における各列電極 D に対応した位置に夫々接続されている。すなわち、透明電極 Ya は帯状のバス電極 Yb 上における各列電極 D に対応した位置から、対を為す行電極 X 側に向けて突起した突起電極端なの

である。行電極 X 及び Y は、前面ガラス基板 1 0 の垂直方向（図 6 の上下方向及び図 7 の左右方向）において交互に配列されている。バス電極 X b 及び Y b に沿って等間隔に並列されたそれぞれの透明電極 X a 及び Y a が、互いに対となる相手の行電極側に伸張している。これら透明電極 X a 及び Y a 各々における幅広の先端部が、互いに所定幅の放電ギャップ g を介して対向して配置されている。

## 【 0 0 1 3 】

前面ガラス基板 1 0 の裏面には、図 7 に示すように、行電極対（X, Y）を被覆するように誘電体層 1 1 が形成されている。誘電体層 1 1 の表面における、制御放電セル C 2（後述する）各々に対応した位置に、誘電体層 1 1 から背面側に向かって突出した嵩上げ誘電体層 1 2 が形成されている。嵩上げ誘電体層 1 2 は、黒色または暗色の顔料を含んだ光吸収層からなり、バス電極 X b 及び Y b に対して平行方向に伸張して形成されている。嵩上げ誘電体層 1 2 の表面及び嵩上げ誘電体層 1 2 が形成されていない誘電体層 1 1 の表面は、MgO からなる図示しない保護層によって被覆されている。前面ガラス基板 1 0 と放電空間を介して平行に配置された背面ガラス基板 1 3 には、図 7 に示すように、突起リブ 1 7 が嵩上げ誘電体層 1 2 と対向する位置に形成されている。突起リブ 1 7 は表示画面における水平方向に伸張している。また、背面ガラス基板 1 3 上には、夫々、バス電極 X b 及び Y b と直交する方向（垂直方向）に伸張している複数の列電極 D が、互いに所定の間隔を開けて平行に配列されている。尚、各列電極 D は、図 8 に示すように、透明電極 X a 及び Y a に対向した背面ガラス基板 1 3 上の位置に形成されている。更に、背面ガラス基板 1 3 上には、列電極 D を被覆する白色の列電極保護層（誘電体層） 1 4 が形成されている。

## 【 0 0 1 4 】

図 7 に示すように、列電極保護層 1 4 の表面上における突起リブ 1 7 によって隆起した部分には 2 次電子放出材料層 3 0 が形成されている。2 次電子放出材料層 3 0 は、仕事関数が低い（例えば 4.2 eV 以下）、いわゆる 2 次電子放出係数の高い高  $\gamma$  材料からなる層である。2 次電子放出材料層 3 0 として用いる材料としては、例えば MgO、CaO、SrO、BaO 等のアルカリ土類金属酸化物、Cs<sub>2</sub>O 等のアルカリ金属酸化物、CaF<sub>2</sub>、MgF<sub>2</sub> 等のフッ化物、TiO<sub>2</sub>、Y



$_{2}O$ 、あるいは、結晶欠陥や不純物ドーピングにより2次電子放出係数を高めた材料等がある。

#### 【0015】

更に、列電極保護層14上には、第1横壁15A、第2横壁15B及び縦壁15Cからなる隔壁15が形成されている。第1横壁15Aは、前面ガラス基板10側から見て、各行電極Xのバス電極Xbと対になっているバス電極Yb側の側部に沿ってそれぞれ水平方向に伸張して形成されている。第2横壁15Bは、各行電極Yのバス電極Ybと対になっているバス電極Xb側の側部に沿ってそれぞれ第1横壁15Aと所要の間隔を空けて平行に伸張して形成されている。縦壁15Cは、バス電極Xb、Ybに沿って等間隔に配置された各透明電極Xa、Yaの間の位置においてそれぞれ垂直方向に伸張して形成されている。

#### 【0016】

第1横壁15Aおよび縦壁15Cの高さは、嵩上げ誘電体層12の背面側を被覆している保護層と列電極Dを被覆している列電極保護層14との間隔と等しい。つまり、第1横壁15Aおよび縦壁15Cは共に、嵩上げ誘電体層12を被覆している保護層の背面側に当接されているのである。一方、第2横壁15Bは、その高さが第1横壁15A及び縦壁15Cの高さよりも僅かに低い。すなわち、第2横壁15Bは嵩上げ誘電体層12を被覆している保護層には当接されておらず、それ故に、第2横壁15Bと嵩上げ誘電体層12を被覆している保護層との間には、図7に示す如き隙間rが存在する。

#### 【0017】

図6に示されるように、第1横壁15A及び縦壁15Cによって囲まれた領域が画素を担う画素セルPCとなる。画素セルPCは、更に、第2横壁15Bによって表示放電セルC1及び制御放電セルC2に区分けされる。表示放電セルC1及び制御放電セルC2各々内には放電ガスが封入されており、両者は上記隙間rを介して互いに連通されている。

#### 【0018】

表示放電セルC1は、互いに対向する一対の透明電極Xa及びYaを含む。すなわち、表示放電セルC1内には、その画素セルPCが属する表示ラインに対応



した行電極対(X、Y)における行電極Xの透明電極X<sub>a</sub>、及び行電極Yの透明電極Y<sub>a</sub>が互いに放電ギャップgを介して対向して形成されている。例えば、第2表示ラインに属する画素セルPC<sub>2,1</sub>~PC<sub>2,m</sub>各々の表示放電セルC<sub>1</sub>内には、行電極X<sub>2</sub>の透明電極X<sub>a</sub>と、行電極Y<sub>2</sub>の透明電極Y<sub>a</sub>が形成されているのである。

## 【 0 0 1 9 】

一方、制御放電セルC<sub>2</sub>は、突起リブ17、バス電極X<sub>b</sub>、Y<sub>b</sub>、2次電子放出材料層30及び嵩上げ誘電体層12を含んでいる。尚、制御放電セルC<sub>2</sub>内に形成されているバス電極Y<sub>b</sub>は、その画素セルPCが属する表示ラインに対応した行電極対(X、Y)における行電極Yのバス電極である。又、制御放電セルC<sub>2</sub>内に形成されているバス電極X<sub>b</sub>は、この画素セルPCが属する表示ラインの上段側に隣接した表示ラインを担う行電極Xのバス電極である。例えば、第2表示ラインに属する画素セルPC<sub>2,1</sub>~PC<sub>2,m</sub>各々の制御放電セルC<sub>2</sub>内には、この第2表示ラインに対応した行電極Y<sub>2</sub>のバス電極Y<sub>b</sub>、及び第2表示ラインの上段側に隣接している第1表示ラインに対応した行電極Y<sub>1</sub>のバス電極X<sub>b</sub>が形成されているのである。尚、第1表示ラインの上段には表示ラインが存在しない。そこで、PDP50においては、第1表示ラインを担う行電極Y<sub>1</sub>の上段側の隣接した位置に行電極X<sub>0</sub>を設けている。つまり、第1表示ラインに属する画素セルPC<sub>1,1</sub>~PC<sub>1,m</sub>各々の制御放電セルC<sub>2</sub>内には、第1表示ラインに対応した行電極Y<sub>1</sub>のバス電極Y<sub>b</sub>と、行電極X<sub>0</sub>のバス電極X<sub>b</sub>とが形成されているのである。

## 【 0 0 2 0 】

各表示放電セルC<sub>1</sub>の放電空間に面する隔壁15の第1横壁15A、第2横壁15B及び縦壁15Cの各側面と列電極保護層14の表面には、これらの五つの面を覆うように蛍光体層16が形成されている。蛍光体層16としては、赤色で発光する赤色蛍光層、緑色で発光する緑色蛍光層、及び青色で発光する青色蛍光層の3系統があり、各画素セルPC毎にその割り当てが決まっている。尚、制御放電セルC<sub>2</sub>内には、このような蛍光体層は形成されていない。

## 【 0 0 2 1 】

背面ガラス基板 1 3 上において、各制御放電セル C 2 に対応した位置には、表示画面における水平方向に沿って帯状に伸張している突起リブ 1 7 が形成されている。突起リブ 1 7 は、第 2 横壁 1 5 B よりも高さが低い。突起リブ 1 7 により、各制御放電セル C 2 内においては、図 7 に示す如く列電極 D、列電極保護層 1 4 及び 2 次電子放出材料層 3 0 が背面ガラス基板 1 3 から持ち上げられることになる。よって、表示放電セル C 1 に対応した位置に形成されている列電極 D と透明電極 X a (Y a) との間隔  $s_1$  よりも、制御放電セル C 2 に対応した位置に形成されている列電極 D とバス電極 X b (Y b) との間隔  $s_2$  の方が小になる。尚、突起リブ 1 7 は、列電極保護層 1 4 と同一の誘電材料によって形成するようにしても良く、あるいは背面ガラス基板 1 3 上にサンドブラストやウェットエッチングなどの方法によって凹凸を形成することにより構成してもよい。

#### 【 0 0 2 2 】

以上の如く、PDP 5 0 には、各々が、前面ガラス基板 1 0 及び背面ガラス基板 1 3 間に形成されている隔壁 1 5 (第 1 横壁 1 5 A 及び縦壁 1 5 C) によって密封された画素セル  $PC_{1,1} \sim PC_{n,m}$  がマトリクス状に形成されている。この際、各画素セル PC は、互いにその放電空間が連通している表示放電セル C 1 及び制御放電セル C 2 からなり、行電極  $X_0, X_1 \sim X_n$ 、行電極  $Y_1 \sim Y_n$ 、及び列電極  $D_1 \sim D_m$  を介して以下の如く駆動される。

#### 【 0 0 2 3 】

奇数 X 電極ドライバ 5 1 は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、PDP 5 0 の奇数番目の行電極 X、つまり行電極  $X_1, X_3, X_5, \dots, X_{n-3}$ 、及び  $X_{n-1}$  各々に、各種駆動パルス(後述する)を印加する。偶数 X 電極ドライバ 5 2 は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、PDP 5 0 の偶数番目の行電極 X、つまり行電極  $X_0, X_2, X_4, \dots, X_{n-2}$ 、及び  $X_n$  各々に各種駆動パルス(後述する)を印加する。奇数 Y 電極ドライバ 5 3 は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、PDP 5 0 の奇数番目の行電極 Y、つまり行電極  $Y_1, Y_3, Y_5, \dots, Y_{n-3}$ 、及び  $Y_{n-1}$  各々に各種駆動パルス(後述する)を印加する。偶数 Y 電極ドライバ 5 4 は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、PDP 5 0 の偶数番目の行電

極 $Y$ 、つまり行電極 $Y_2$ 、 $Y_4$ 、 $\dots$ 、 $Y_{n-2}$ 、及び $Y_n$ 各々に各種駆動パルス(後述する)を印加する。アドレスドライバ55は、駆動制御回路56から供給されたタイミング信号に応じて、PDP50の列電極 $D_1 \sim D_m$ に各種駆動パルス(後述する)を印加する。

#### 【0024】

駆動制御回路56は、映像信号における各フィールド(フレーム)を $N$ 個のサブフィールド $SF1 \sim SF(N)$ 各々に分割して駆動する、いわゆるサブフィールド(サブフレーム)法に基づいてPDP50を駆動制御する。駆動制御回路56は、まず、入力映像信号を各画素毎に輝度レベルを表す画素データに変換する。次に、かかる画素データを、各サブフィールド $SF1 \sim SF(N)$ 毎に発光を実施させるか否かを指定する画素駆動データビット群 $DB1 \sim DB(N)$ に変換してアドレスドライバ55に供給する。

#### 【0025】

更に、駆動制御回路56は、図9に示す如き発光駆動シーケンスに従ってPDP50を駆動制御すべき各種タイミング信号を発生して、奇数 $X$ 電極ドライバ51、偶数 $X$ 電極ドライバ52、奇数 $Y$ 電極ドライバ53及び偶数 $Y$ 電極ドライバ54に供給する。

尚、図9に示す発光駆動シーケンスでは、サブフィールド $SF1 \sim SF(N)$ の各々において、アドレス行程 $W$ 、サステイン行程 $I$ 、及び消去行程 $E$ を順次実行する。尚、先頭のサブフィールド $SF1$ に限り、アドレス行程 $W$ に先き立ってリセット行程 $R$ を実行する。

#### 【0026】

図10は、先頭のサブフィールド $SF1$ 内において上記奇数 $X$ 電極ドライバ51、偶数 $X$ 電極ドライバ52、奇数 $Y$ 電極ドライバ53、偶数 $Y$ 電極ドライバ54及びアドレスドライバ55各々がPDP50に印加する各種駆動パルスとその印加タイミングを示す図である。又、図11は、サブフィールド $SF2 \sim SF(N)$ の各々内において上記奇数 $X$ 電極ドライバ51、偶数 $X$ 電極ドライバ52、奇数 $Y$ 電極ドライバ53、偶数 $Y$ 電極ドライバ54及びアドレスドライバ55各々がPDP50に印加する各種駆動パルスとその印加タイミングを示す図である。

。先頭のサブフィールドSF1のリセット行程Rでは、上記奇数X電極ドライバ51及び偶数X電極ドライバ52の各々が、図10に示す如き波形を有する正電圧のリセットパルス $RP_X$ を発生して行電極 $X_0 \sim X_n$ の各々に同時に印加する。更に、かかるリセットパルス $RP_X$ の印加と同時に、奇数Y電極ドライバ53及び偶数Y電極ドライバ54各々が、図10に示す如き波形を有する正電圧のリセットパルス $RP_Y$ を発生して行電極 $Y_1 \sim Y_n$ の各々に同時に印加する。尚、リセットパルス $RP_X$ 及び $RP_Y$ 各々の立ち上がり区間及び立ち下がり区間でのレベル推移は、後述するサステインパルスIPの立ち上がり区間及び立ち下がり区間でのレベル推移よりも緩やかである。これらリセットパルス $RP_X$ 及び $RP_Y$ の印加に応じて、全ての画素セル $PC_{1,1} \sim PC_{n,m}$ の制御放電セルC2内のバス電極Xb及び列電極D間、並びにバス電極Yb及び列電極D間においてリセット放電が生起される。かかるリセット放電の終息後、全ての画素セル $PC_{1,1} \sim PC_{n,m}$ の制御放電セルC2内のバス電極Xb及びYb各々の近傍に負極性の壁電荷、列電極Dの近傍には正極性の壁電荷が形成される。これにより、全ての画素セルPCは消灯セル状態になる。

#### 【0027】

このように、リセット行程Rでは、主に画素セルPCの制御放電セルC2内においてリセット放電を生起せしめることにより、全画素セルPCを消灯セル状態に初期化するのである。

サブフィールドSF1～SF(N)各々のアドレス行程Wでは、奇数Y電極ドライバ53及び偶数Y電極ドライバ54が負電圧の走査パルスSPを交互に発生して図10又は図11に示す如く行電極 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $\dots$ 、 $Y_{n-1}$ 、及び $Y_n$ に順次印加して行く。この間、アドレスドライバ55は、このアドレス行程Wが属するサブフィールドSFに対応した画素駆動データビット群DBを各データビット毎にその論レベルに応じたパルス電圧を有する画素データパルスDPに変換する。例えば、アドレスドライバ55は、論理レベル1の画素駆動データビットを正極性の高電圧の画素データパルスDPに変換し、論理レベル0の画素駆動データビットを低電圧(0ボルト)の画素データパルスDPに変換する。そして、かかる画素データパルスDPを上記走査パルスSPの印加タイミングに同期して1表



示ライン分ずつ列電極  $D_1 \sim D_m$  に印加して行く。この間、奇数 X 電極ドライバ 5 1 及び偶数 X 電極ドライバ 5 2 は、図 1 0 又は図 1 1 に示す如き正極性の電圧を行電極  $X_1 \sim X_n$  に印加しつづける。アドレス行程 W では、上記走査パルス S P が印加され、かつ高電圧の画素データパルス D P が印加された画素セル P C の制御放電セル C 2 内の列電極 D 及びバス電極 Y b 間においてアドレス放電(選択書込放電)が生起される。この際、全ての行電極  $X_0 \sim X_n$  には正極性の電圧が印加されているので、図 7 に示す隙間 r を介して表示放電セル C 1 側にも放電が拡張する。これにより、表示放電セル C 1 内の透明電極 X a 近傍に負極性の壁電荷が形成されると共に透明電極 Y a 近傍には正極性の壁電荷が形成され、この表示放電セル C 1 が属する画素セル P C は点灯セル状態に設定される。一方、走査パルス S P が印加されたものの、高電圧の画素データパルス D P が印加されなかった画素セル P C の制御放電セル C 2 内では上記の如きアドレス放電(選択書込放電)は生起されない。よって、隙間 r を介して連通している表示放電セル C 1 側にも上述した如き壁電荷は形成されず、この表示放電セル C 1 が属する画素セル P C は消灯セル状態に設定される。

## 【 0 0 2 8 】

以上の如く、アドレス行程 W では、画素データに応じて選択的に画素セル P C の制御放電セル C 2 内でアドレス放電を生起せしめることにより、表示放電セル C 1 内の透明電極 X a 及び Y a 各々の近傍に互いに異なる極性の壁電荷を形成させる。これにより、画素データに応じて各画素セル P C を点灯セル状態、及び消灯セル状態の一方に設定するのである。

## 【 0 0 2 9 】

次に、各サブフィールドのサステイン行程 I では、奇数 Y 電極ドライバ 5 3 が図 1 0 (図 1 1) に示す如き正電圧のサステインパルス  $I P_{Y0}$  を、このサステイン行程 I の属するサブフィールドに割り当てられている回数だけ繰り返し、奇数の行電極  $Y_1, Y_3, Y_5, \dots, Y_{(n-1)}$  各々に印加する。又、サステイン行程 I では、偶数 X 電極ドライバ 5 2 が、上記サステインパルス  $I P_{Y0}$  各々と同一タイミングにて、正電圧のサステインパルス  $I P_{XE}$  をこのサステイン行程 I の属するサブフィールドに割り当てられている回数だけ繰り返し、偶数の行電極  $X_0, X_2,$



$X_4$ 、 $\dots$ 、 $X_{n-2}$ 及び $X_n$ 各々に印加する。又、サステイン行程Iでは、奇数X電極ドライバ51が、図10(図11)に示す如き正電圧のサステインパルス $IP_{X0}$ をこのサステイン行程Iの属するサブフィールドに割り当てられている回数だけ繰り返し、奇数の行電極 $X_1$ 、 $X_3$ 、 $X_5$ 、 $\dots$ 、 $X_{(n-1)}$ 各々に印加する。更に、かかるサステイン行程Iでは、偶数Y電極ドライバ54が、上記サステインパルス $IP_{X0}$ と同一タイミングにて、正電圧のサステインパルス $IP_{YE}$ をこのサステイン行程Iの属するサブフィールドに割り当てられている回数だけ繰り返し、偶数の行電極 $Y_2$ 、 $Y_4$ 、 $\dots$ 、 $Y_{n-2}$ 及び $Y_n$ 各々に印加する。尚、図10(図11)に示すように、上記サステインパルス $IP_{XE}$ 及び $IP_{Y0}$ と、上記サステインパルス $IP_{X0}$ 及び $IP_{YE}$ とは、その印加タイミングが互いにずれている。かかるサステイン行程Iでは、上記サステインパルス $IP_{X0}$ 及び $IP_{Y0}$ が交互に印加される度、並びに $IP_{XE}$ 及び $IP_{YE}$ が交互に印加される度に、点灯セル状態に設定された画素セルPCの表示放電セルC1内の透明電極Xa及びYa間においてサステイン放電が生起される。この際、かかるサステイン放電にて発生した紫外線により、表示放電セルC1に形成されている蛍光体層16(赤色蛍光層、緑色蛍光層、青色蛍光層)が励起し、その蛍光色に対応した光が前面ガラス基板10を介して放射される。つまり、このサステイン行程Iの属するサブフィールドに割り当てられている回数分だけ、サステイン放電に伴う発光が繰り返し生起されるのである。尚、制御放電セルC2内では、バス電極Xb及びYb間に互いに同位相となるサステインパルス $IP_{X0}$ 及び $IP_{YE}$ (又は $IP_{XE}$ 及び $IP_{Y0}$ )が印加されているので、上述した如きサステイン放電が繰り返し生起されることはない。

### 【0030】

以上の如く、サステイン行程Iでは、点灯セル状態に設定された画素セルPCのみを、サブフィールドに割り当てられている回数分だけ繰り返し発光させる。

次に、各サブフィールドの消去行程Eでは、奇数Y電極ドライバ53及び偶数Y電極ドライバ54が、図10(図11)に示す如き波形を有する消去パルス $EP_Y$ をPDP50の行電極 $Y_1 \sim Y_n$ に印加する。更に、かかる消去パルス $EP_Y$ と同時に、奇数X電極ドライバ51及び偶数X電極ドライバ52が、図10(図11)に示す如き波形を有する消去パルス $EP_X$ をPDP50の行電極 $X_1 \sim X_n$ に印加

する。尚、消去パルス  $E P_Y$  は、図 1 0 (図 1 1) に示すように、その立ち下がり時のレベル推移が緩やかになっている。上記消去パルス  $E P_Y$  及び  $E P_X$  の印加に応じて、この消去パルス  $E P_Y$  の立ち下がり時のタイミングにて、点灯放電セルに設定されている画素セル  $P C$  の表示放電セル  $C 1$  及び制御放電セル  $C 2$  各々内で消去放電が生起される。かかる消去放電により、表示放電セル  $C 1$  及び制御放電セル  $C 2$  各々内に形成されていた壁電荷が消滅する。すなわち、 $P D P 5 0$  の全ての画素セル  $P C$  が消灯セル状態に推移するのである。

### 【 0 0 3 1 】

上述した如き駆動により、サブフィールド  $S F 1 \sim S F (N)$  を通して各サステイン行程  $I$  において実施された発光回数の合計に対応した中間輝度が視覚される。つまり、各サブフィールド内のサステイン行程  $I$  にて生起されたサステイン放電に伴う放電光によって、入力映像信号に対応した表示画像が得られるのである。

### 【 0 0 3 2 】

以上の如く、図 5 に示すプラズマディスプレイ装置においては、表示画像に関与するサステイン放電を各画素セル  $P C$  内の表示放電セル  $C 1$  にて生起させる一方、表示画像には関与しない発光を伴うリセット放電及びアドレス放電を主に制御放電セル  $C 2$  にて生起させるようにしている。この際、制御放電セル  $C 2$  には、図 7 に示すように、黒色または暗色の顔料を含んだ光吸収層からなる嵩上げ誘電体層 1 2 が設けられている。よって、リセット放電及びアドレス放電に伴う放電光は嵩上げ誘電体層 1 2 によって遮断されるので、この放電光が前面ガラス基板 1 0 を介して表示面に表れることはない。

### 【 0 0 3 3 】

更に、図 5 に示すプラズマディスプレイ装置においては、画素セル  $P C$  を構築する表示放電セル  $C 1$  及び制御放電セル  $C 2$  の内の制御放電セル  $C 2$  にのみ背面ガラス基板 1 3 側に図 7 に示す如く 2 次電子放出材料層 3 0 を設けている。2 次電子放出材料層 3 0 によれば、制御放電セル  $C 2$  内の列電極  $D$  及び行電極  $Y$  間の放電開始電圧及び放電維持電圧は、表示放電セル  $C 1$  内の列電極  $D$  及び行電極  $Y$  間の放電開始電圧及び放電維持電圧よりも低くなる。つまり、表示放電セル  $C 1$

は、制御放電セルC2に比して放電開始電圧及び放電維持電圧が高くなるのである。よって、制御放電セルC2内で生起された放電が隙間rを介して表示放電セルC1側に拡張しても、表示放電セルC1内で生起される放電は微弱なものとなり、その放電に伴う発光輝度も極めて低輝度となる。又、かかる2次電子放出材料層30によれば、制御放電セルC2内の背面ガラス基板側で放電が生起されることになるので、その放電に伴う紫外線が表示放電セルC1側に漏れ込む量も低下する。

#### 【0034】

従って、図5に示すプラズマディスプレイ装置によれば、表示画像には関与しないリセット放電及びアドレス放電に伴う発光が抑制されるので、表示画像のコントラスト、特に、全体的に暗い場面に対応した画像を表示させている際の暗コントラストを高めることが可能になる。

又、上記実施例(図9～図11)においては、PDP50の各画素セルを画素データに応じた壁電荷の形成状態に設定する画素データ書込方法として、画素データに応じて選択的に各画素セルにアドレス放電を生起せしめて壁電荷を形成させる選択書込アドレス法を採用した場合について述べた。しかしながら、本願発明においては、この画素データ書込方法として、予め全ての画素セル内に壁電荷を形成しておき、アドレス放電によって選択的に画素セル内の壁電荷を消去する、いわゆる選択消去アドレス法を採用した場合についても同様に適用可能である。

#### 【0035】

図12は、選択消去アドレス法を採用した場合の発光駆動シーケンスを示す図である。

図12に示す発光駆動シーケンスでは、先頭のサブフィールドSF1において、奇数行リセット行程 $R_{ODD}$ 、奇数行アドレス行程 $W_{ODD}$ 、偶数行リセット行程 $R_{EVE}$ 、偶数行アドレス行程 $W_{EVE}$ 、サステイン行程Iを順次実行する。又、サブフィールドSF2～SF(N)の各々では、アドレス行程W、及びサステイン行程Iを夫々実行する。更に、最後尾のサブフィールドSF(N)では、上記サステイン行程Iの実行後に消去行程Eを実行する。

#### 【0036】

図 1 3 は、サブフィールド S F 1 において P D P 5 0 に印加する各種駆動パルスとその印加タイミングを示す図である。又、図 1 4 は、サブフィールド S F 2 ~ S F (N) 各々のアドレス行程 W、及びサステイン行程 I において P D P 5 0 に印加する各種駆動パルスとその印加タイミングを示す図である。

先ず、サブフィールド S F 1 の奇数行リセット行程  $R_{ODD}$  では、奇数 Y 電極ドライバ 5 3 が、図 1 3 に示す如き波形を有する正電圧のリセットパルス  $R P_Y$  を P D P 5 0 の奇数の行電極  $Y_1$ 、 $Y_3$ 、 $Y_5$ 、 $\dots$ 、 $Y_{n-3}$  及び  $Y_{n-1}$  各々に同時に印加する。更に、奇数行リセット行程  $R_{ODD}$  では、奇数 X 電極ドライバ 5 1 が、図 1 3 に示す如き波形を有する負電圧のリセットパルス  $R P_X$  を P D P 5 0 の奇数の行電極  $X_1$ 、 $X_3$ 、 $X_5$ 、 $\dots$ 、 $X_{n-3}$  及び  $X_{n-1}$  各々に同時に印加する。尚、リセットパルス  $R P_X$  の電圧値の絶対値は、リセットパルス  $R P_Y$  の電圧値の絶対値よりも小である。又、リセットパルス  $R P_X$  及び  $R P_Y$  各々の立ち上がり区間及び立ち下がり区間でのレベル推移は、後述するサステインパルス I P の立ち上がり区間及び立ち下がり区間でのレベル推移よりも緩やかである。リセットパルス  $R P_X$  及び  $R P_Y$  の印加により、奇数表示ラインに属する画素セル  $P C_{1,1} \sim P C_{1,m}$ 、 $P C_{3,1} \sim P C_{3,m}$ 、 $P C_{5,1} \sim P C_{5,m}$ 、 $\dots$ 、 $P C_{(n-1),1} \sim P C_{(n-1),m}$  各々の制御放電セル C 2 内のバス電極 Y b 及び列電極 D 間でリセット放電が生起される。更に、かかるリセット放電が図 7 に示す隙間 r を介して表示放電セル C 1 側にも拡張して、奇数表示ラインに属する画素セル P C 各々の表示放電セル C 1 内の透明電極 X a 及び Y a 間においてリセット放電が生起される。かかるリセット放電の終息後、制御放電セル C 2 内のバス電極 X b の近傍には正極性の壁電荷、バス電極 Y b の近傍には負極性の壁電荷が形成され、制御放電セル C 2 内の列電極 D の近傍には正極性の壁電荷が形成される。これにより、上記リセット放電の生起された制御放電セル C 2 が属する画素セル P C は点灯セル状態になる。

#### 【 0 0 3 7 】

このように、奇数行リセット行程  $R_{ODD}$  では、P D P 5 0 の奇数表示ラインに属する全ての画素セル P C の表示放電セル C 1 及び制御放電セル C 2 内においてリセット放電を生起せしめることにより、奇数表示ラインに属する全ての画素セル P C を点灯セル状態に初期化するのである。



次に、サブフィールド S F 1 の奇数行アドレス行程  $W_{ODD}$  では、奇数 Y 電極ドライバ 5 3 が、負電圧の走査パルス S P を P D P 5 0 の奇数の行電極  $Y_1$ 、 $Y_3$ 、 $Y_5$ 、 $\dots$ 、 $Y_{n-3}$ 、及び  $Y_{n-1}$  各々に順次印加する。この間、アドレスドライバ 5 5 は、この奇数行アドレス行程  $W_{ODD}$  が属するサブフィールド S F に対応した画素駆動データビット群 D B の内の奇数表示ラインに対応したものを、その論レベルに応じたパルス電圧を有する画素データパルス D P に変換する。例えば、アドレスドライバ 5 5 は、論理レベル 1 の画素駆動データビットを正極性の高電圧の画素データパルス D P に変換する一方、論理レベル 0 の画素駆動データビットを低電圧 (0 ボルト) の画素データパルス D P に変換する。そして、かかる画素データパルス D P を上記走査パルス S P の印加タイミングに同期して 1 表示ライン分ずつ列電極  $D_1 \sim D_m$  に印加して行く。つまり、アドレスドライバ 5 5 は、奇数表示ラインに対応した画素駆動データビット  $DB_{1,1} \sim DB_{1,m}$ 、 $DB_{3,1} \sim DB_{3,m}$ 、 $\dots$ 、 $DB_{(n-1),1} \sim DB_{(n-1),m}$  を、画素データパルス  $DP_{1,1} \sim DP_{1,m}$ 、 $DP_{3,1} \sim DP_{3,m}$ 、 $\dots$ 、 $DP_{(n-1),1} \sim DP_{(n-1),m}$  に変換し、1 表示ライン分ずつ列電極  $D_1 \sim D_m$  に印加するのである。この際、走査パルス S P が印加され、かつ高電圧の画素データパルス D P が印加された、奇数表示ラインに属する画素セル P C の制御放電セル C 2 内の列電極 D 及びバス電極 Y b 間においてアドレス放電 (選択消去放電) が生起される。かかるアドレス放電の終息後、制御放電セル C 2 内に形成されていた壁電荷が消滅する。尚、この間、図 7 に示す隙間 r を介して表示放電セル C 1 側に上記アドレス放電が拡張する。これにより、表示放電セル C 1 の透明電極 X a 及び Y b 間においても微弱なアドレス放電が生起され、この表示放電セル C 1 内に形成されていた壁電荷が消滅する。表示放電セル C 1 内に形成されていた壁電荷が消滅することにより、この表示放電セル C 1 が属する画素セル P C は消灯セル状態に設定される。一方、走査パルス S P が印加されたものの、高電圧の画素データパルス D P が印加されなかった画素セル P C の制御放電セル C 2 内では上記の如きアドレス放電は生起されない。よって、隙間 r を介して連通している表示放電セル C 1 側にも上記アドレス放電は生起されず、この表示放電セル C 1 内には壁電荷が残留する。従って、アドレス放電の生起されなかった表示放電セル C 1 及び制御放電セル C 2 の属する画素セル P C は点灯



セル状態に設定される。

### 【 0 0 3 8 】

以上の如く、奇数行アドレス行程  $W_{ODD}$  では、奇数表示ラインに属する画素セル  $PC$  各々に対して、画素データに応じて選択的にアドレス放電を生起せしめることにより、選択的に各表示放電セル  $C1$  内に存在する壁電荷を消滅させる。これにより、奇数表示ラインに属する画素セル  $PC$  の各々を、画素データに応じて点灯セル状態、及び消灯セル状態の一方に設定するのである。

### 【 0 0 3 9 】

次に、サブフィールド  $SF1$  の偶数行リセット行程  $R_{EVE}$  では、偶数  $Y$  電極ドライバ  $54$  が、図  $13$  に示す如き波形を有する正電圧のリセットパルス  $RP_Y$  を  $PDP50$  の偶数の行電極  $Y_2, Y_4, \dots, Y_{n-2}$  及び  $Y_n$  各々に同時に印加する。更に、偶数行リセット行程  $R_{EVE}$  では、偶数  $X$  電極ドライバ  $52$  が、図  $13$  に示す如き波形を有する負電圧のリセットパルス  $RP_X$  を  $PDP50$  の偶数の行電極  $X_0, X_2, X_4, \dots, X_{n-2}$  及び  $X_n$  各々に同時に印加する。尚、リセットパルス  $RP_X$  の電圧値の絶対値は、リセットパルス  $RP_Y$  の電圧値の絶対値よりも小である。又、リセットパルス  $RP_X$  及び  $RP_Y$  各々の立ち上がり区間及び立ち下がり区間でのレベル推移は、後述するサステインパルス  $IP$  の立ち上がり区間及び立ち下がり区間でのレベル推移よりも緩やかである。リセットパルス  $RP_X$  及び  $RP_Y$  の印加により、偶数表示ラインに属する画素セル  $PC_{2,1} \sim PC_{2,m}, PC_{4,1} \sim PC_{4,m}, PC_{6,1} \sim PC_{6,m}, \dots$ 、及び  $PC_{n,1} \sim PC_{n,m}$  各々の制御放電セル  $C2$  内のバス電極  $Yb$  及び列電極  $D$  間でリセット放電が生起される。更に、かかるリセット放電が図  $7$  に示す隙間  $r$  を介して表示放電セル  $C1$  側にも拡張し、偶数表示ラインに属する画素セル  $PC$  各々の表示放電セル  $C1$  内の透明電極  $Xa$  及び  $Ya$  間においてもリセット放電が生起される。かかるリセット放電の終息後、制御放電セル  $C2$  内のバス電極  $Xb$  の近傍には正極性の壁電荷、バス電極  $Yb$  の近傍には負極性の壁電荷が形成される。更に、制御放電セル  $C2$  内の列電極  $D$  近傍には正極性の壁電荷が形成される。これにより、上記リセット放電の生起された制御放電セル  $C2$  が属する画素セル  $PC$  は点灯セル状態になる。

### 【 0 0 4 0 】

以上の如く、上記偶数行リセット行程  $R_{EVE}$  では、PDP 50 の偶数表示ラインに属する全ての画素セル PC の表示放電セル C1 及び制御放電セル C2 においてリセット放電を生起させることにより、偶数表示ラインに属する全ての画素セル PC を点灯セル状態に初期化するのである。

次に、サブフィールド SF1 の偶数行アドレス行程  $W_{EVE}$  では、偶数 Y 電極ドライバ 54 が、負電圧の走査パルス SP を PDP 50 の偶数の行電極  $Y_2$ 、 $Y_4$ 、 $\dots$ 、 $Y_{n-2}$  及び  $Y_n$  各々に順次印加する。この間、アドレスドライバ 55 は、この偶数行アドレス行程  $W_{EVE}$  が属するサブフィールド SF に対応した画素駆動データビット群 DB の内の偶数表示ラインに対応したものを、その論レベルに応じたパルス電圧を有する画素データパルス DP に変換する。例えば、アドレスドライバ 55 は、論理レベル 1 の画素駆動データビットを正極性の高電圧の画素データパルス DP に変換する一方、論理レベル 0 の画素駆動データビットを低電圧 (0 ボルト) の画素データパルス DP に変換する。そして、かかる画素データパルス DP を上記走査パルス SP の印加タイミングに同期して 1 表示ライン分ずつ列電極  $D_1 \sim D_m$  に印加して行く。つまり、アドレスドライバ 55 は、偶数表示ラインに対応した画素駆動データビット  $DB_{2,1} \sim DB_{2,m}$ 、 $DB_{4,1} \sim DB_{4,m}$ 、 $\dots$ 、 $DB_{n,1} \sim DB_{(n-1),m}$  各々に対応した、画素データパルス  $DP_{2,1} \sim DP_{2,m}$ 、 $DP_{4,1} \sim DP_{4,m}$ 、 $\dots$ 、 $DP_{n,1} \sim DP_{n,m}$  を 1 表示ライン分ずつ列電極  $D_1 \sim D_m$  に印加するのである。この際、走査パルス SP が印加され、かつ高電圧の画素データパルス DP が印加された、偶数表示ラインに属する画素セル PC の制御放電セル C2 内の列電極 D 及びバス電極 Yb 間においてアドレス放電 (選択消去放電) が生起される。かかるアドレス放電の終息後、制御放電セル C2 内に形成されていた壁電荷が消滅する。尚、この間、図 7 に示す隙間 r を介して表示放電セル C1 側に上記アドレス放電が拡張する。これにより、表示放電セル C1 の透明電極 Xa 及び Yb 間においてもアドレス放電が生起され、この表示放電セル C1 内に形成されていた壁電荷が消滅する。表示放電セル C1 内に形成されていた壁電荷が消滅することにより、この表示放電セル C1 が属する画素セル PC は消灯セル状態に設定される。一方、走査パルス SP が印加されたものの、高電圧の画素データパルス DP が印加されなかった画素セル PC の制御放電セル C2 内で

は上記の如きアドレス放電は生起されない。よって、隙間  $r$  を介して連通している表示放電セル  $C1$  側にも上記アドレス放電は生起されず、この表示放電セル  $C1$  内には壁電荷が残留する。従って、アドレス放電の生起されなかった表示放電セル  $C1$  及び制御放電セル  $C2$  の属する画素セル  $PC$  は点灯セル状態に設定される。

## 【 0 0 4 1 】

以上の如く、上記偶数行アドレス行程  $W_{EVE}$  では、偶数表示ラインに属する画素セル  $PC$  各々に対して、画素データに応じて選択的にアドレス放電を生起せしめることにより、選択的に表示放電セル  $C1$  内に存在する壁電荷を消滅させる。これにより、偶数表示ラインに属する画素セル  $PC$  の各々を、画素データに応じて点灯セル状態、及び消灯セル状態の一方に設定するのである。

## 【 0 0 4 2 】

各サブフィールドのサステイン行程  $I$  では、奇数  $Y$  電極ドライバ  $53$  が図  $13$  (図  $14$ ) に示す如き正電圧のサステインパルス  $IP_{Y0}$  を、このサステイン行程  $I$  の属するサブフィールドに割り当てられている回数だけ繰り返し、奇数の行電極  $Y_1, Y_3, Y_5, \dots, Y_{(n-1)}$  各々に印加する。偶数  $X$  電極ドライバ  $52$  は、かかるサステインパルス  $IP_{Y0}$  各々と同一タイミングにて、正電圧のサステインパルス  $IP_{XE}$  をこのサステイン行程  $I$  の属するサブフィールドに割り当てられている回数だけ繰り返し、偶数の行電極  $X_0, X_2, X_4, \dots, X_{n-2}$  及び  $X_n$  各々に印加する。奇数  $X$  電極ドライバ  $51$  は、図  $13$  (図  $14$ ) に示す如き正電圧のサステインパルス  $IP_{X0}$  をこのサステイン行程  $I$  の属するサブフィールドに割り当てられている回数だけ繰り返し、奇数の行電極  $X_1, X_3, X_5, \dots, X_{(n-1)}$  各々に印加する。更に、かかるサステイン行程  $I$  では、偶数  $Y$  電極ドライバ  $54$  が、正電圧のサステインパルス  $IP_{YE}$  をこのサステイン行程  $I$  の属するサブフィールドに割り当てられている回数だけ繰り返し、偶数の行電極  $Y_2, Y_4, \dots, Y_{n-2}$  及び  $Y_n$  各々に印加する。尚、図  $13$  (図  $14$ ) に示すように、サステインパルス  $IP_{XE}$  及び  $IP_{Y0}$  と、サステインパルス  $IP_{X0}$  及び  $IP_{YE}$  とは、その印加タイミングが互いにずれている。サステインパルス  $IP_{X0}, IP_{XE}, IP_{Y0}, IP_{YE}$  が印加される度に、点灯セル状態に設定された画素セル  $PC$  の表示放電セル  $C1$  内

の透明電極 X a 及び Y a 間においてサステイン放電が生起される。この際、かかるサステイン放電にて発生した紫外線により、表示放電セル C 1 に形成されている蛍光体層 1 6 (赤色蛍光層、緑色蛍光層、青色蛍光層) が励起し、その蛍光色に対応した光が前面ガラス基板 1 0 を介して放射される。つまり、このサステイン行程 I の属するサブフィールドに割り当てられている回数分だけ、サステイン放電に伴う発光が繰り返し生起されるのである。尚、制御放電セル C 2 内では、バス電極 X b 及び Y b 間に互いに同位相となるサステインパルス  $I P_{X0}$  及び  $I P_{YE}$  (又は  $I P_{XE}$  及び  $I P_{Y0}$ ) が印加されているので、上述した如きサステイン放電が繰り返し生起されることはない。そして、奇数の行電極 Y 各々に印加された最終のサステインパルス  $I P_{Y0}$ 、及び偶数の行電極 Y 各々に印加された最終のサステインパルス  $I P_{YE}$  により、各サステイン行程 I の終了後、表示放電セル C 1 内の列電極 D 近傍には正極性の壁電荷、透明電極 Y b 近傍には負極性の壁電荷が残留する。

## 【 0 0 4 3 】

以上の如く、サステイン行程 I では、その直前に実施された偶数行アドレス行程  $W_{EVE}$ 、奇数行アドレス行程  $W_{ODD}$ 、アドレス行程 W において点灯セル状態に設定された画素セル P C のみを、サブフィールドに割り当てられている回数分だけ繰り返し発光させる。

最後尾のサブフィールド S F (N) のみで実行する消去行程 E では、図 1 0 (又は図 1 1) の消去行程 E と同様に消去パルス  $E P_Y$  が全ての行電極 Y、消去パルス  $E P_X$  が全ての行電極 X に印加される。この際、消去パルス  $E P_Y$  の立ち下がり時のタイミングで表示放電セル C 1 及び制御放電セル C 2 各々内で消去放電が生起され、これら表示放電セル C 1 及び制御放電セル C 2 各々内に形成されていた壁電荷が消滅する。すなわち、P D P 5 0 の全ての画素セル P C が消灯セル状態に推移するのである。

## 【 0 0 4 4 】

上述した如き駆動により、サブフィールド S F 1 ~ S F (N) を通して各サステイン行程 I において実施された発光回数の合計に対応した中間輝度が視覚される。つまり、各サブフィールド内のサステイン行程 I にて生起されたサステイン放



電に伴う放電光によって、入力映像信号に対応した表示画像が得られるのである。

#### 【 0 0 4 5 】

以上の如く図 1 2 ～ 図 1 4 に示す如き選択消去アドレス法を採用した駆動では、表示画像には関与しない発光を伴うリセット放電を、光吸収層からなる嵩上げ誘電体層 1 2 を備えた制御放電セル C 2 にて生起させると共に、表示放電セル C 1 内においてもリセット放電を生起させるようにしている。この際、制御放電セル C 2 内には 2 次電子放出材料層 3 0 が設けられているので、表示放電セル C 1 は、制御放電セル C 2 に比して放電開始電圧及び放電維持電圧が高くなる。よって、制御放電セル C 2 内で生起された放電が隙間 r を介して表示放電セル C 1 側に拡張しても、表示放電セル C 1 内で生起される放電は微弱なものとなり、その放電に伴う発光輝度も極めて低輝度となる。又、かかる 2 次電子放出材料層 3 0 によれば、制御放電セル C 2 内の背面ガラス基板側で放電が生起されることになるので、その放電に伴う紫外線が表示放電セル C 1 側に漏れ込む量も低下する。

#### 【 0 0 4 6 】

従って、選択消去アドレス法を採用した場合にも、リセット放電及びアドレス放電に伴う放電光が前面ガラス基板 1 0 を介して表示面に表れる量が微量となるので、暗コントラストを高めることが可能になる。

図 1 5 は、上述した如き選択書込アドレス法を採用して P D P 5 0 を駆動する際における 1 フィールド(フレーム)での駆動パターンを示す図である。図 1 5 に示すように、かかる駆動パターンは、最低輝度に対応した第 1 駆動パターン～最高輝度に対応した第 (N + 1) 駆動パターンまでの (N + 1) 種類の駆動パターンからなる。図 1 5 に示される二重丸は、そのサブフィールドのアドレス行程 ( $W_{ODD}$ 、 $W_{EVE}$ ) においてアドレス放電(選択書込放電)を生起させ、このサブフィールドのサステイン行程において画素セル P C を繰り返し発光させることを示す。一方、二重丸の付されていないサブフィールドではアドレス放電(選択書込放電)を生起させないので、このサブフィールドのサステイン行程では画素セル P C は消灯状態となる。従って、例えば図 1 5 に示される第 1 駆動パターンによれば、S F 1 ～ S F (N) を通して画素セル P C が一切発光しないので、最低輝度となる黒表



示が表現される。又、第3駆動パターンによれば、SF1及びSF2各々のサステイン行程のみ画素セルPCが発光するので、SF1のサステイン行程に割り当てられている発光回数と、SF2のサステイン行程に割り当てられている発光回数との合計回数に対応した中間輝度が表現される。

## 【0047】

又、図16は、選択消去アドレス法を採用してPDP50を駆動する際における1フィールド(フレーム)での駆動パターンを示す図である。図16に示すように、かかる駆動パターンは、最低輝度に対応した第1駆動パターン～最高輝度に対応した第(N+1)駆動パターンまでの(N+1)種類の駆動パターンからなる。尚、図16に示される黒丸は、そのサブフィールドのアドレス行程( $W_{ODD}$ 、 $W_{EV}$ )においてアドレス放電(選択消去放電)を生起させて制御放電セルC2内に形成されていた壁電荷を消滅させて画素セルPCを消灯セル状態に設定することを示す。一方、白丸は、このサブフィールドのサステイン行程において点灯セル状態にある画素セルPCのみを発光させることを示す。従って、例えば図16に示される第1駆動パターンによれば、SF1～SF(N)を通して画素セルPCが一切発光しないので、最低輝度となる黒表示が表現される。又、第3駆動パターンによれば、SF1及びSF2各々のサステイン行程のみ画素セルPCが発光するので、SF1のサステイン行程に割り当てられている発光回数と、SF2のサステイン行程に割り当てられている発光回数との合計回数に対応した中間輝度が表現される。

## 【0048】

駆動制御回路56は、図15又は図16に示されるが如き(N+1)種類の駆動パターンの内から、入力映像信号によって表される輝度レベルに応じた1つを選択して実行する。つまり、図15又は図16に示されるが如き駆動状態となるように、入力映像信号に応じて上記画素駆動データビットDB1～DB(N)を生成してアドレスドライバ55に供給するのである。かかる駆動により、入力映像信号によって表される輝度レベルを(N+1)階調の中間輝度で表現することが可能になる。

## 【0049】

尚、上記実施例においては、 $N$ 個のサブフィールドによって表される $2^N$ 通りの駆動パターンの内から図 1 5 又は図 1 6 に示す如き $(N+1)$ 種類の駆動パターンのみを用いて PDP 50 を $(N+1)$ 階調階調する場合について説明したが、 $2^N$ 階調駆動する際にも同様に適用可能である。

又、上記実施例においては制御放電セル C 2 内の背面基板 1 2 側に突起リブ 1 7 及び 2 次電子放出材料層 3 0 を共に設ける構造としたが、突起リブ 1 7 を削除して 2 次電子放出材料層 3 0 のみを、制御放電セル C 2 内の放電空間に面する隔壁の側面及び背面基板 1 2 上に設けるようにしても良い。

#### 【0 0 5 0】

又、上記実施例では、嵩上げ誘電体層 1 2 に黒色顔料を含有させて光吸収層としたが、これに限らず、黒色層(光吸収層)を誘電体層 1 1 の中、又は誘電体層と前面ガラス基板 1 0 との間に形成するようにしても良い。

又、上記実施例においては、第 2 横壁 1 5 B を第 1 横壁 1 5 A より低くすることにより、第 2 横壁 1 5 B と嵩上げ誘電体層 1 2 との間に御放電セル C 2 及び表示放電セル C 1 間の放電空間を連通させる隙間を形成するようにしたが、両者を連通させる構造は上記構造に限定されない。例えば、第 1 横壁 1 5 A と第 2 横壁 1 5 B との高さを同一にして嵩上げ誘電体層 1 2 にスリットを設けることにより、御放電セル C 2 及び表示放電セル C 1 間の放電空間を連通させるようにしても良い。

#### 【図面の簡単な説明】

##### 【図 1】

従来の面放電方式交流型プラズマディスプレイパネルの構成の一部を示す図である。

##### 【図 2】

図 1 に示される V-V 線上での断面を示す図である。

##### 【図 3】

図 1 に示される W-W 線上での断面を示す図である。

##### 【図 4】

1 サブフィールド内においてプラズマディスプレイパネルに印加される各種駆

動パルスとその印加タイミングを示す図である。

【図 5】

本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

【図 6】

図 5 に示されるプラズマディスプレイ装置に搭載されている PDP 50 の表示面側から PDP 50 の一部を眺めた平面図である。

【図 7】

図 6 に示される V-V 線上での断面を示す図である。

【図 8】

PDP 50 の表示面の斜め上方向から PDP 50 を眺めた図である。

【図 9】

選択書込アドレス法を採用して PDP 50 を駆動する際の発光駆動シーケンスの一例を示す図である。

【図 10】

図 9 に示す発光駆動シーケンスに従って先頭のサブフィールド SF 1 において PDP 50 に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 11】

図 9 に示す発光駆動シーケンスに従ってサブフィールド SF 2 以降の各サブフィールドにおいて PDP 50 に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 12】

選択消去アドレス法を採用して PDP 50 を駆動する際の発光駆動シーケンスの一例を示す図である。

【図 13】

図 12 に示す発光駆動シーケンスに従って先頭のサブフィールド SF 1 において PDP 50 に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 14】

図 1 2 に示す発光駆動シーケンスに従ってサブフィールド S F 2 以降の各サブフィールドにおいて P D P 5 0 に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 1 5】

選択書込アドレス法を採用して P D P 5 0 を ( N + 1 ) 階調駆動する際における各フィールド内での駆動パターンの一例を示す図である。

【図 1 6】

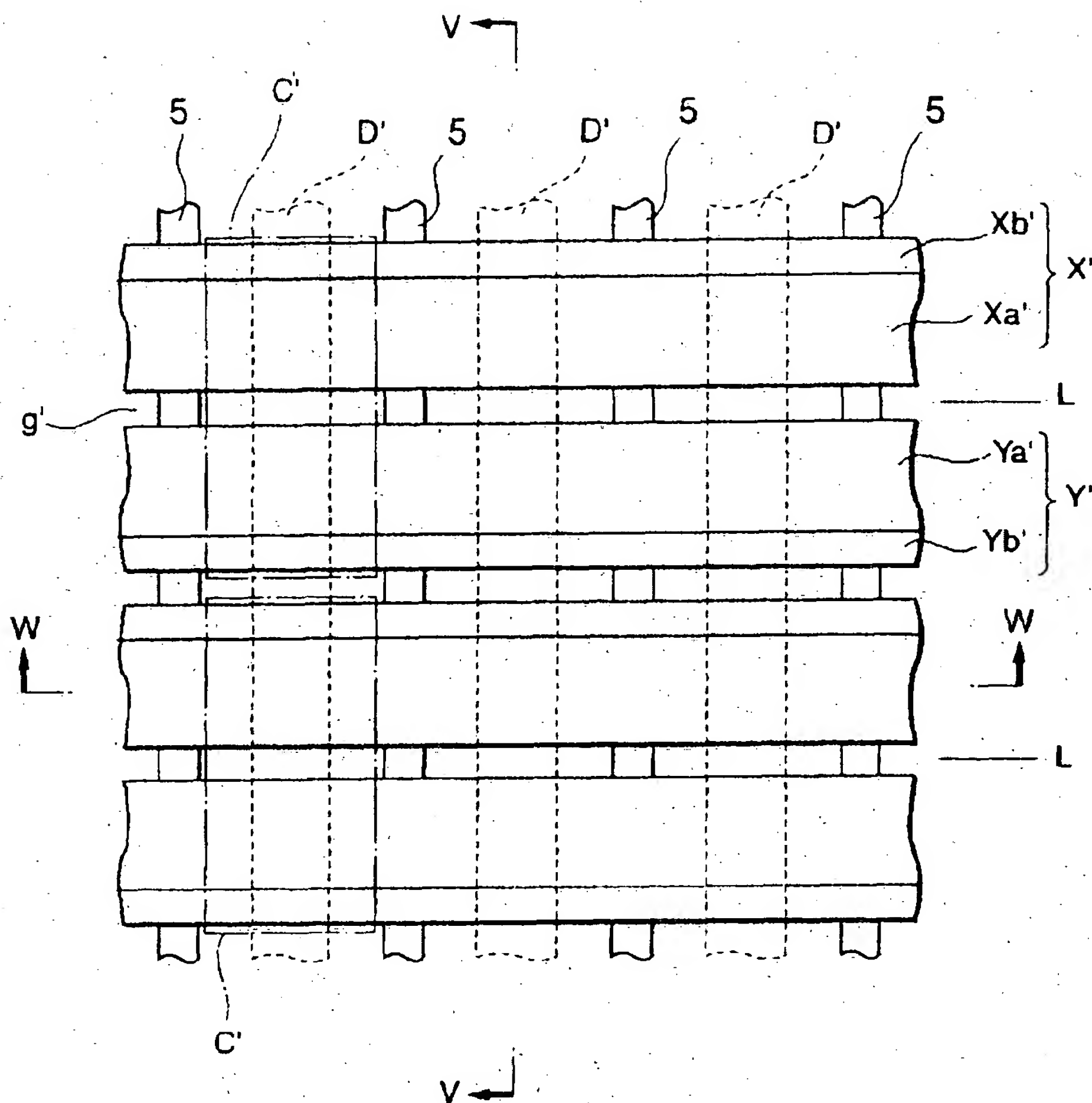
選択消去アドレス法を採用して P D P 5 0 を ( N + 1 ) 階調駆動する際における各フィールド内での駆動パターンの一例を示す図である。

【符号の説明】

- 5 0 P D P
- 5 1 奇数 X 電極ドライバ
- 5 2 偶数 X 電極ドライバ
- 5 3 奇数 Y 電極ドライバ
- 5 4 偶数 Y 電極ドライバ
- 5 5 アドレスドライバ
- 5 6 駆動制御回路
- C 1 表示放電セル
- C 2 制御放電セル
- P C 画素セル

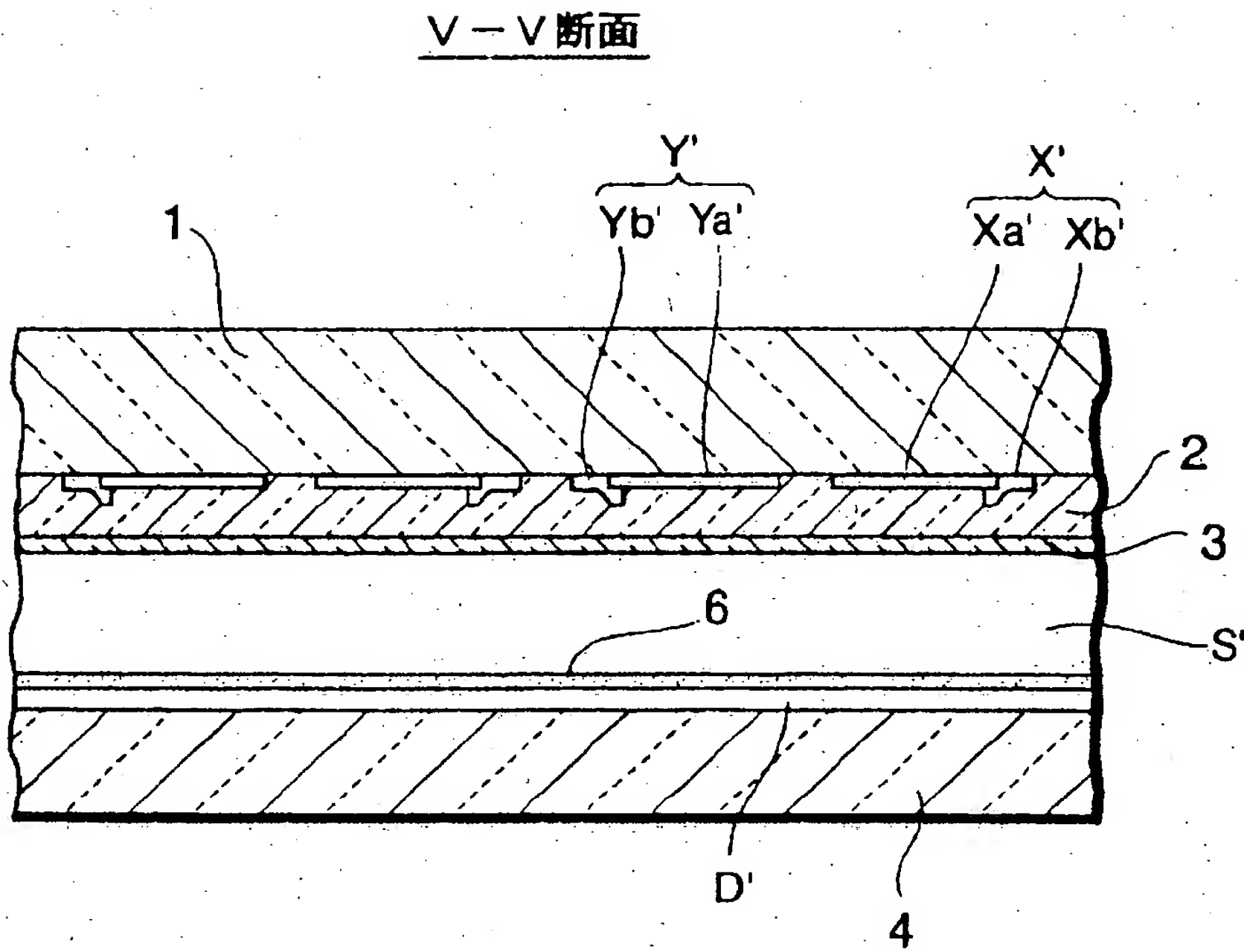
【書類名】 図面

【図 1】

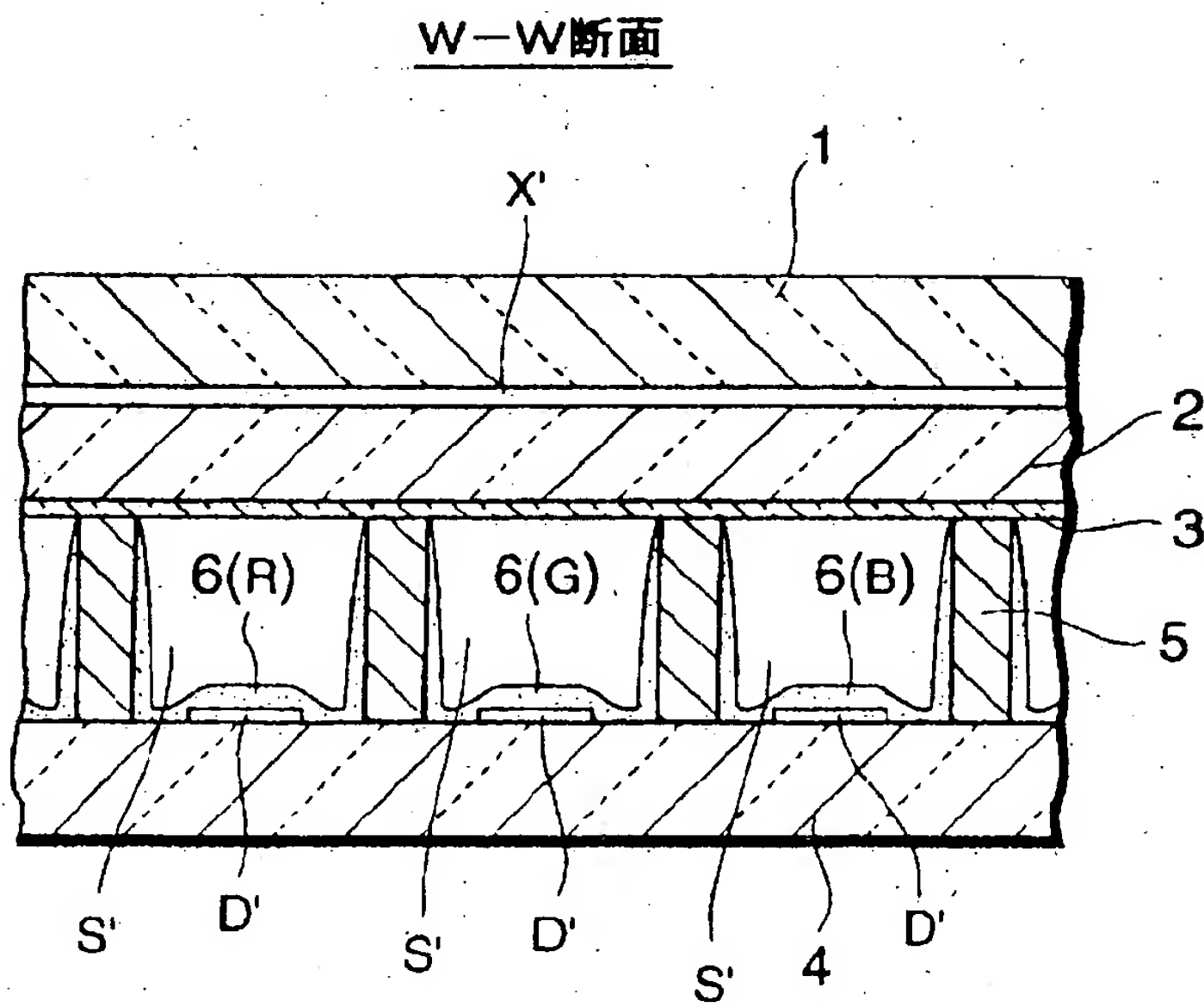




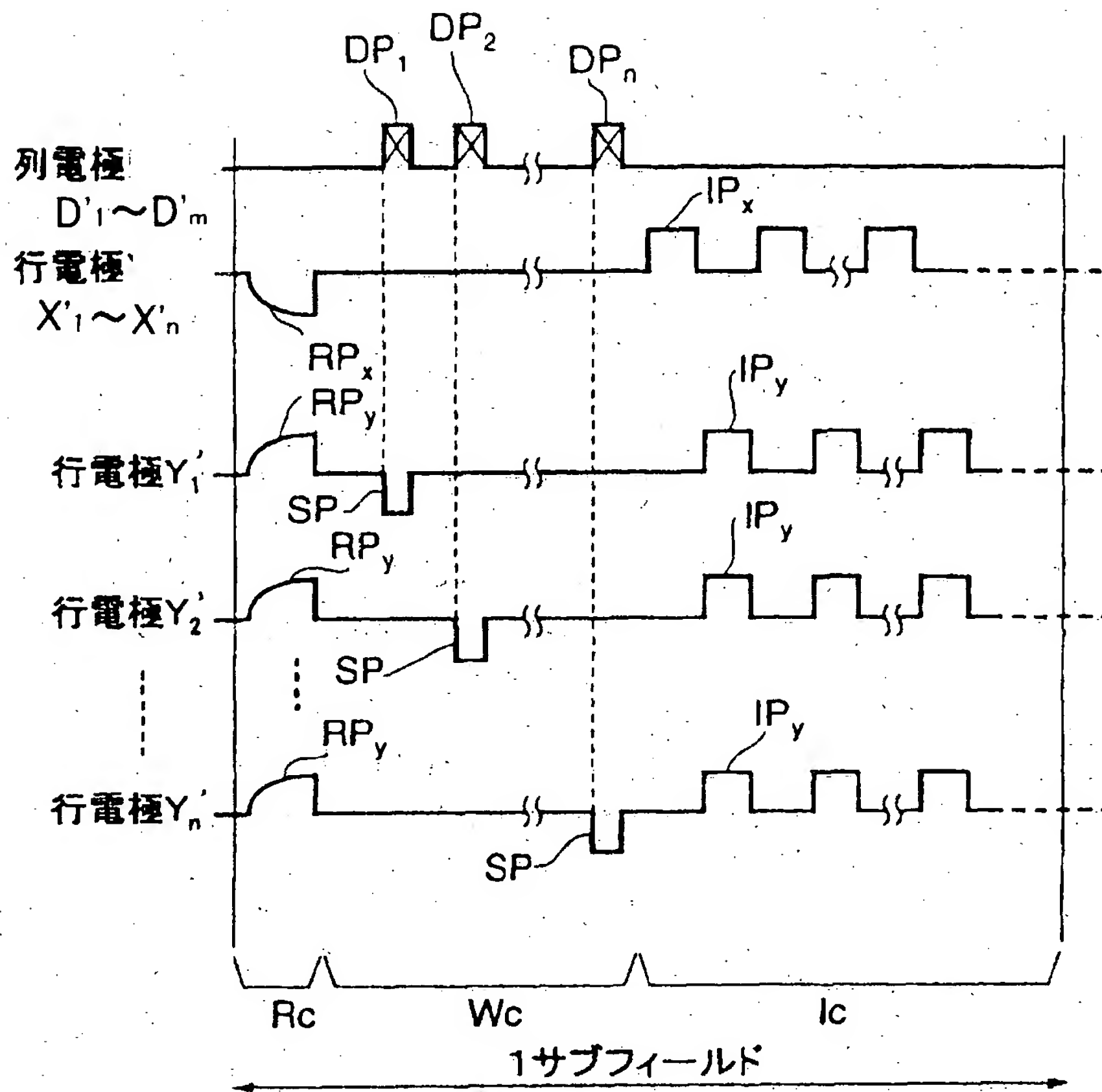
【図 2】



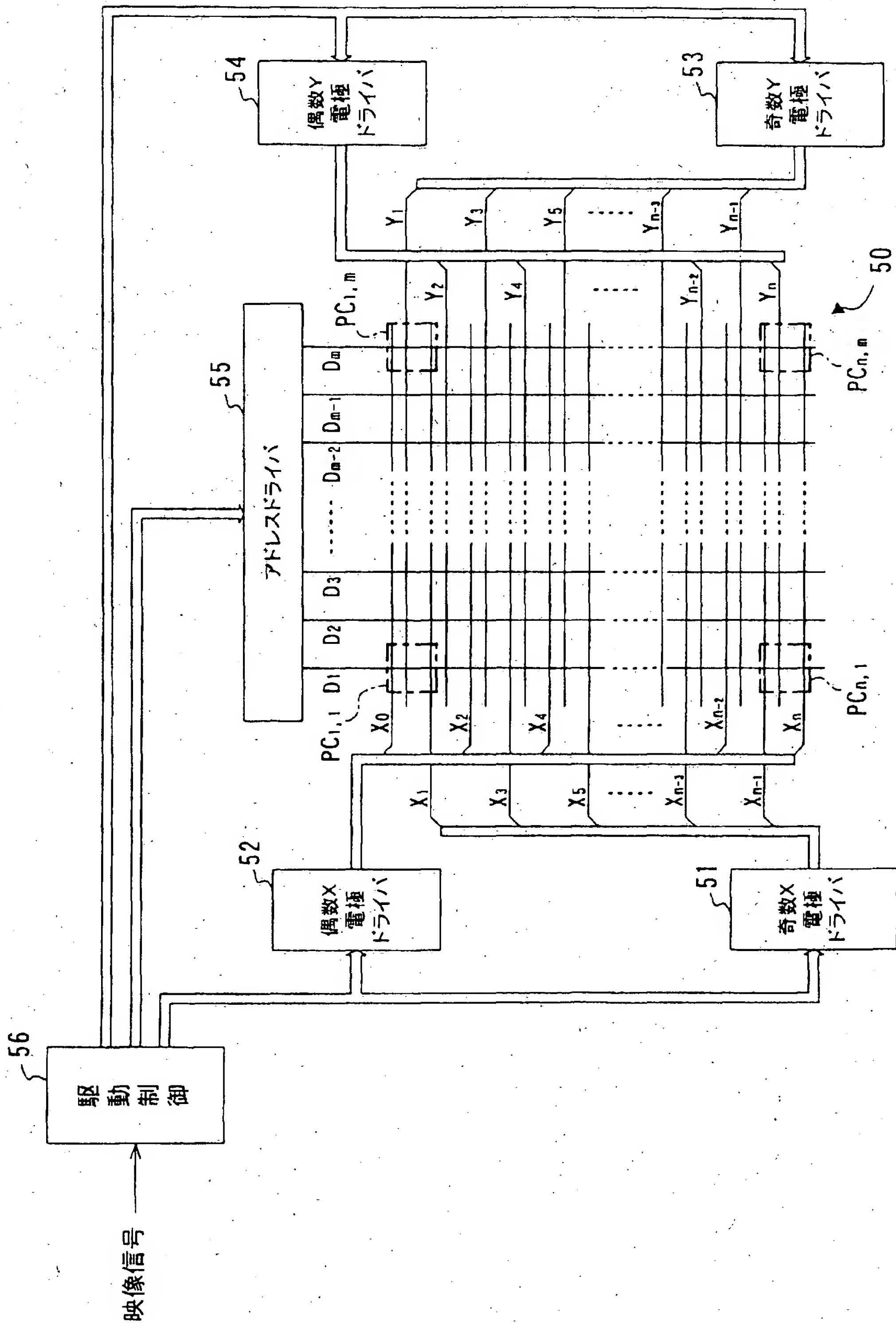
【図 3】



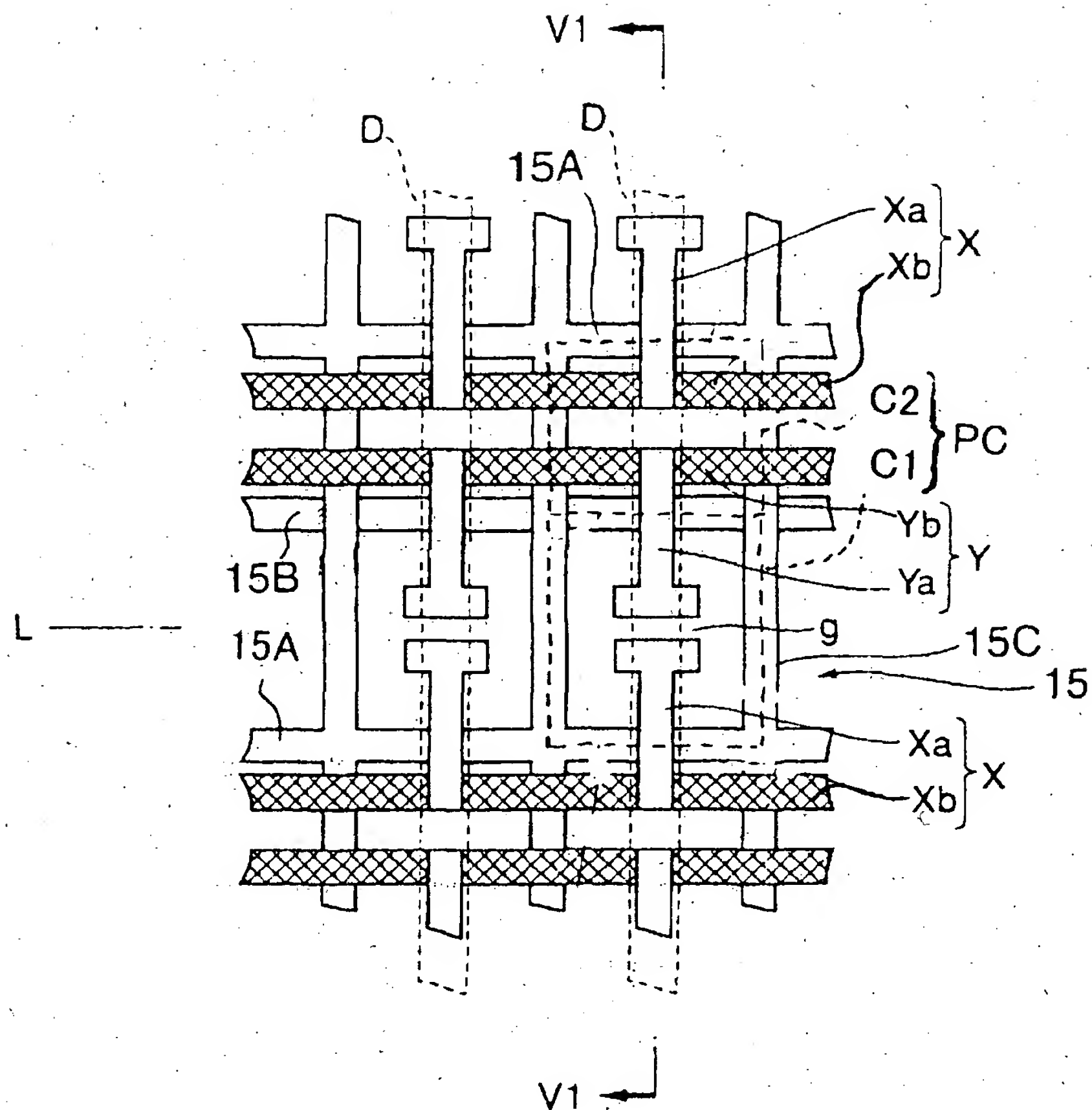
【図4】



【図 5】

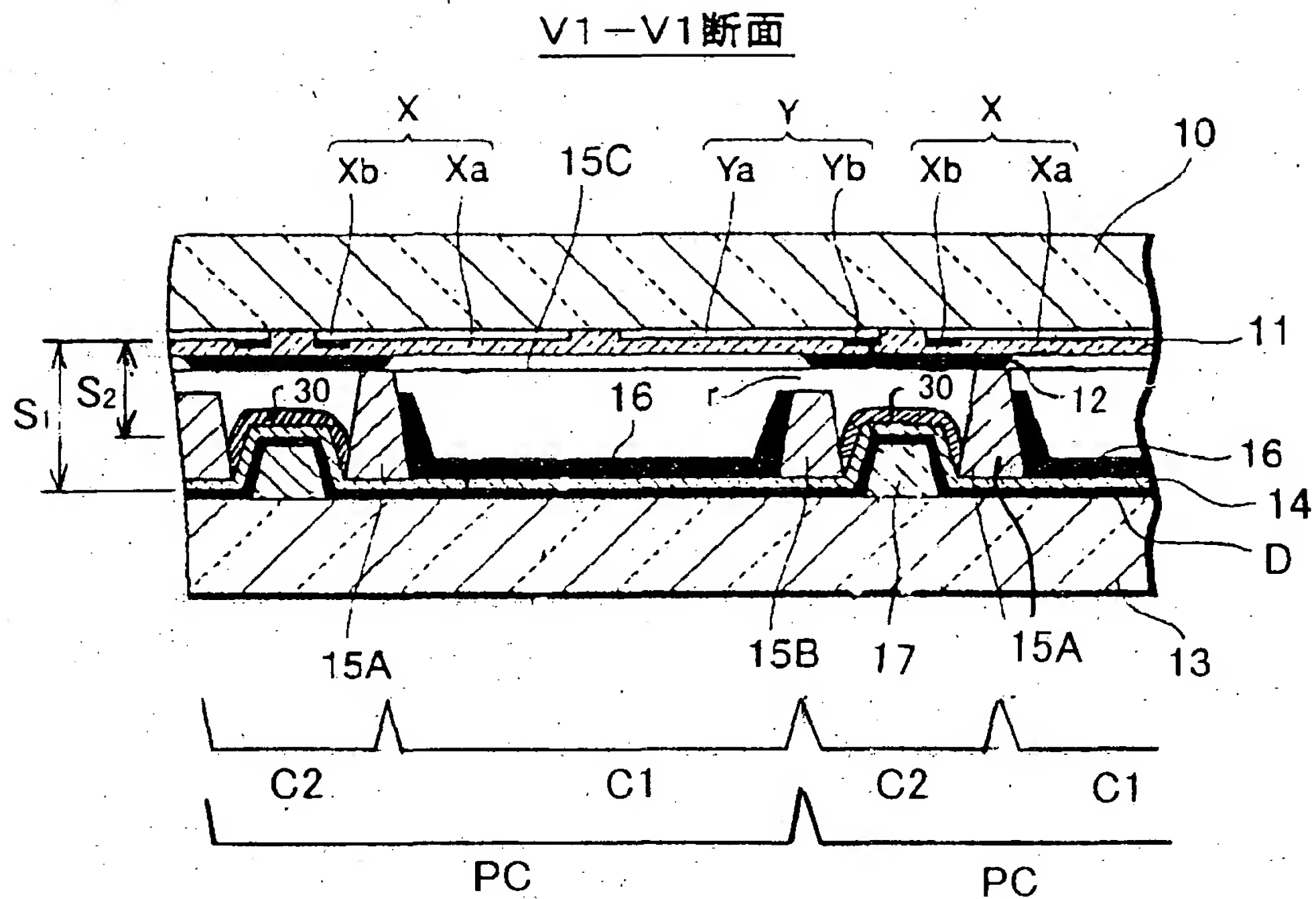


【図6】

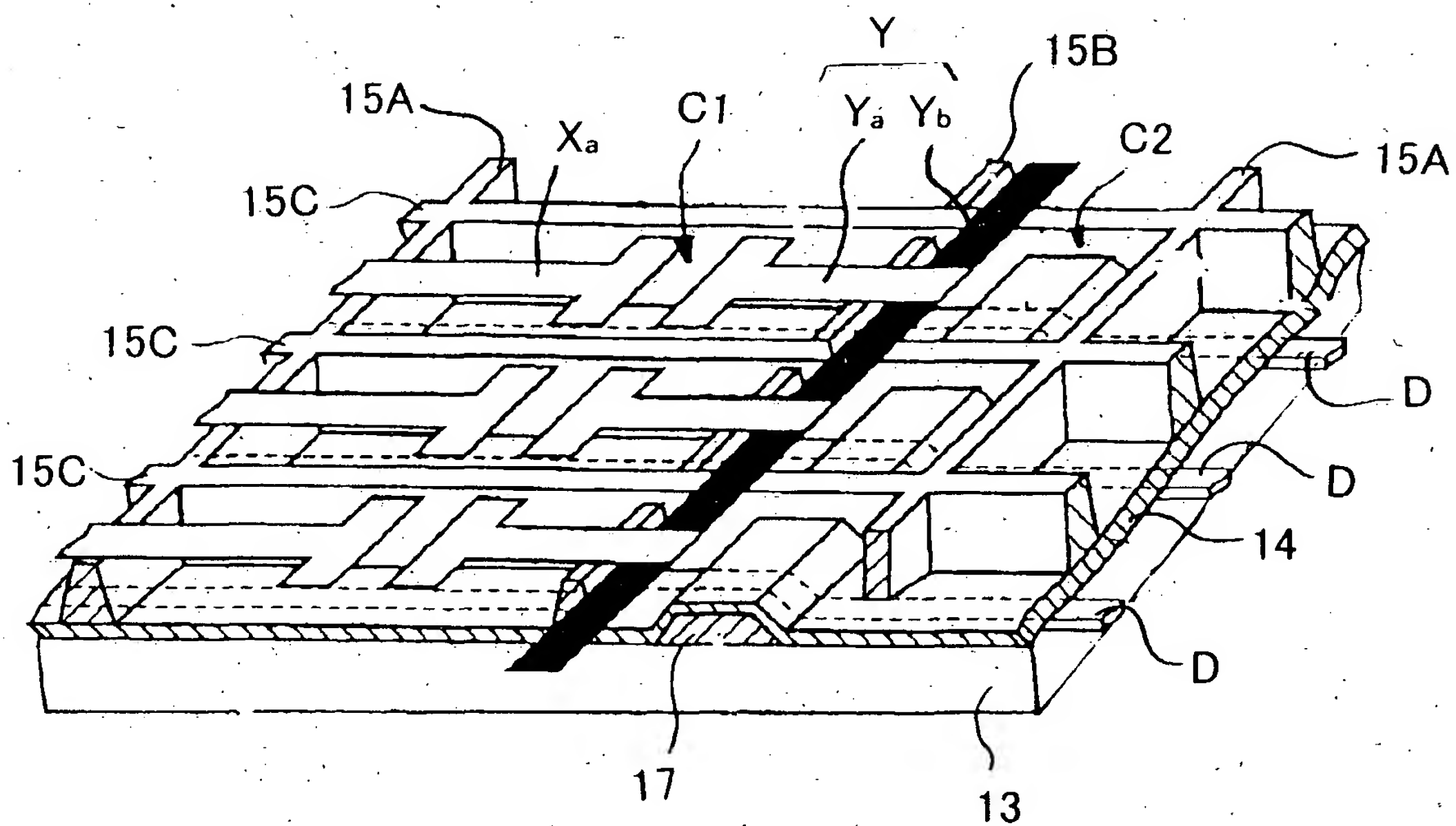




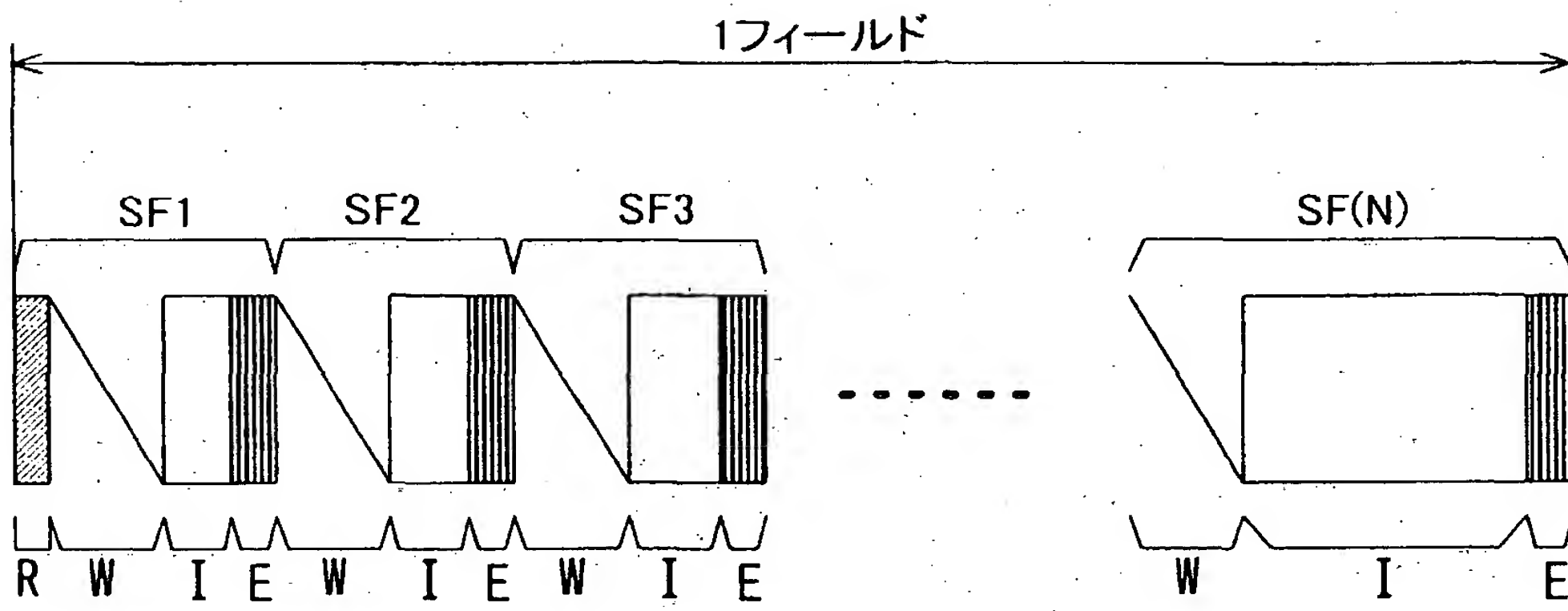
【図 7】



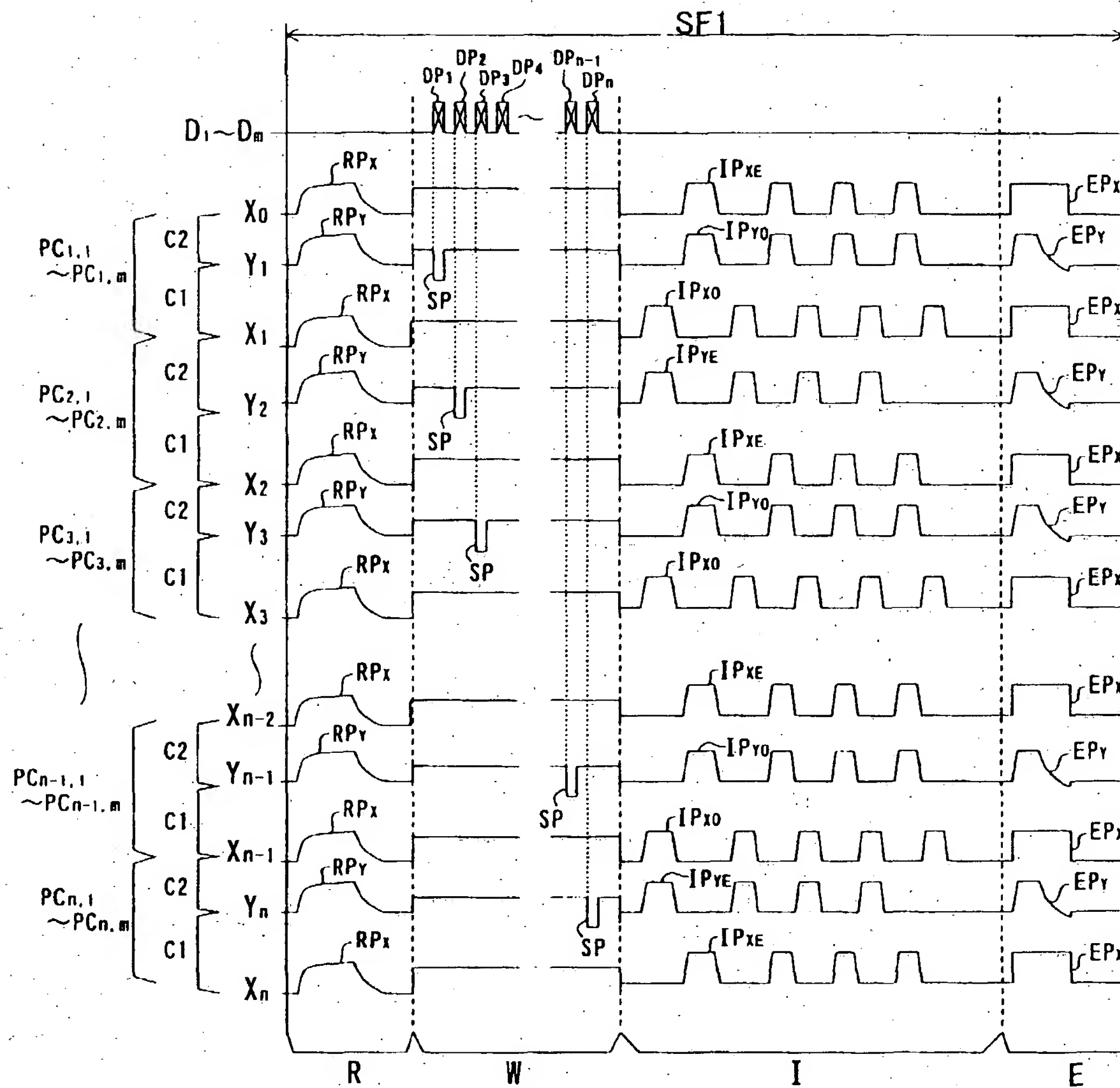
【図 8】



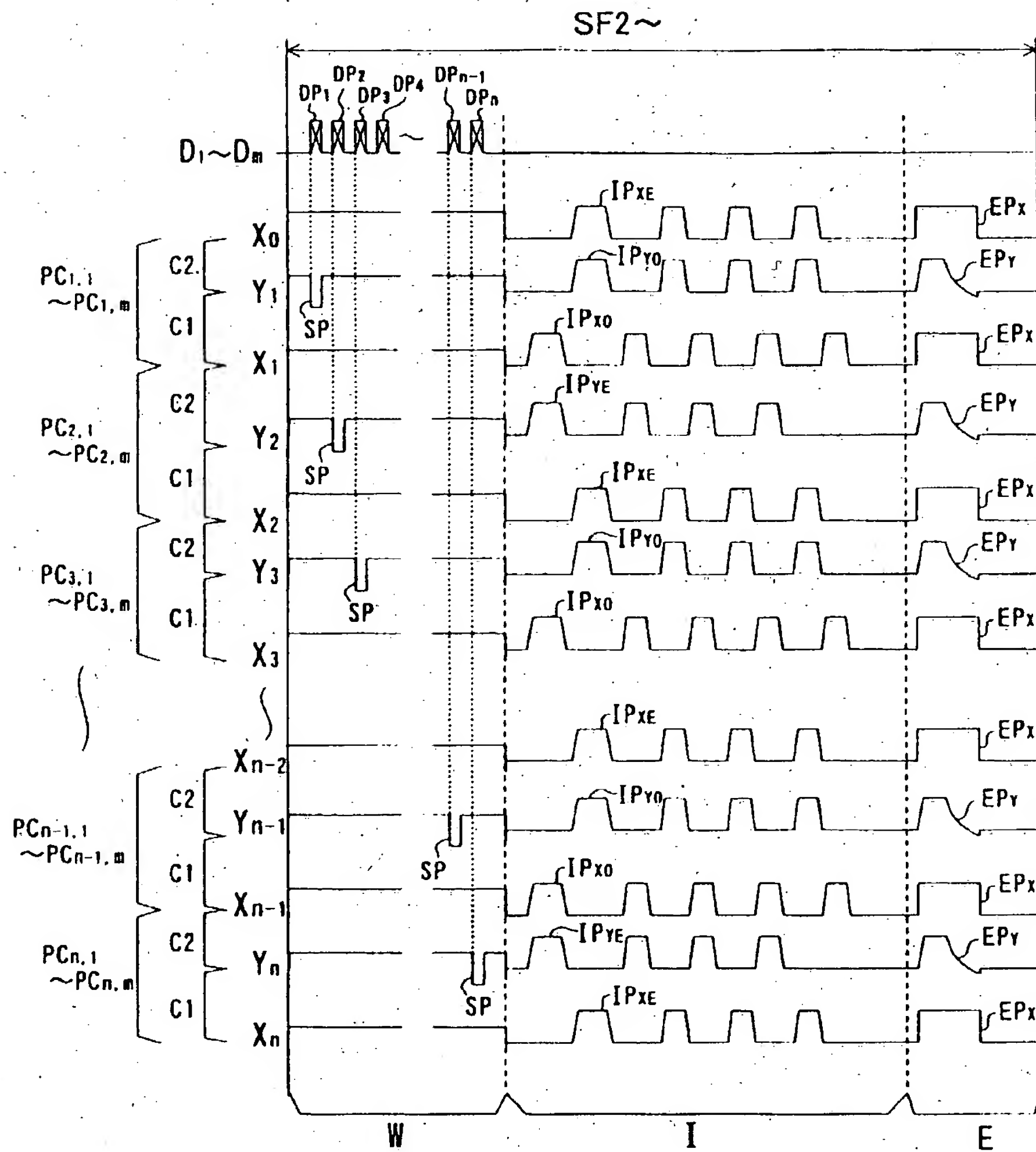
【図 9】



【図10】

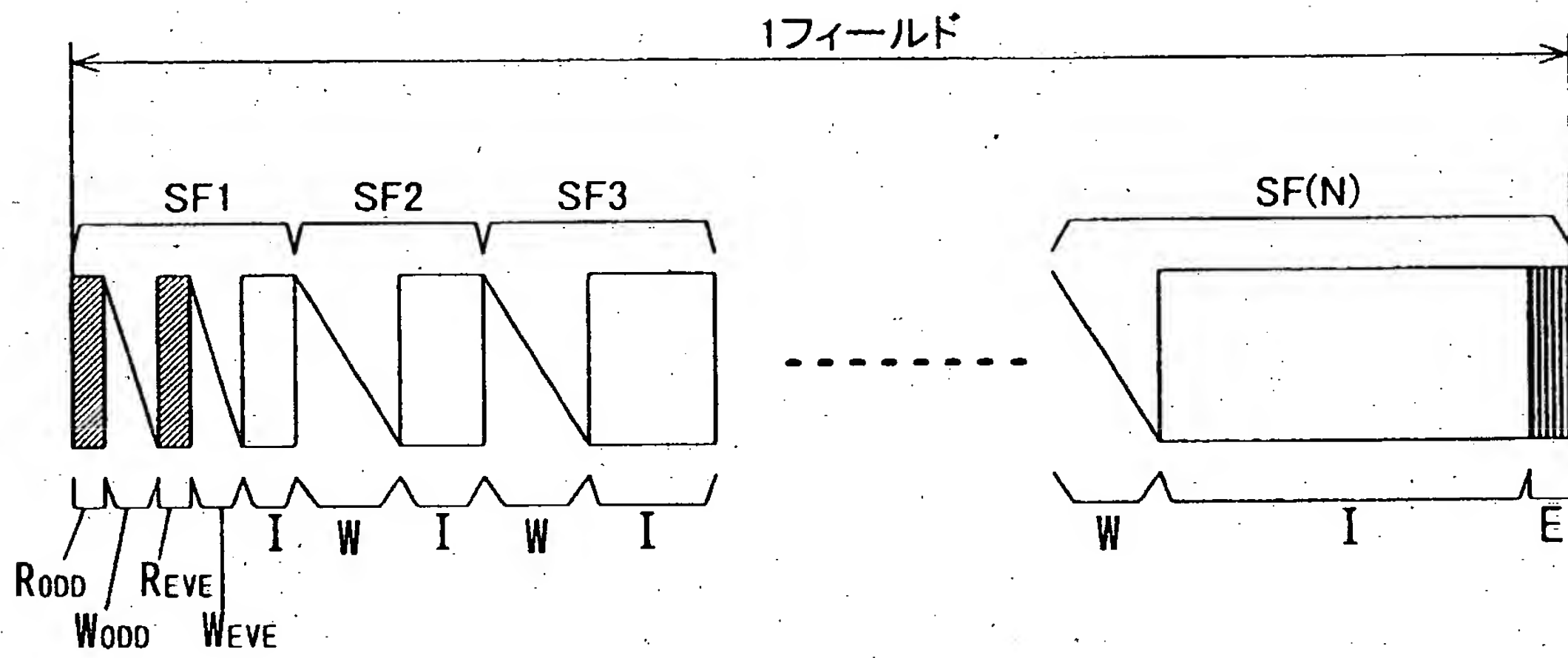


【図 11】

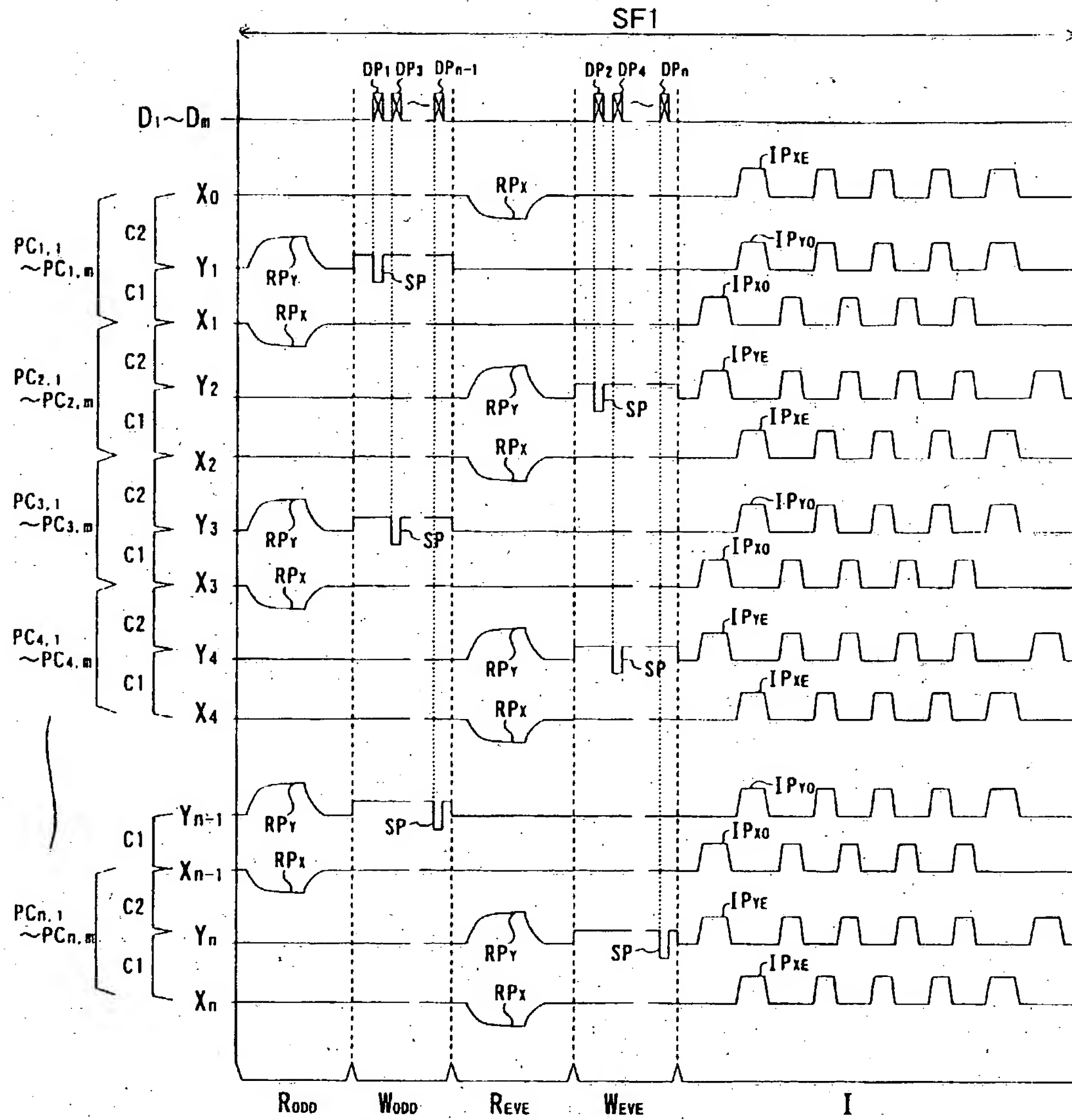




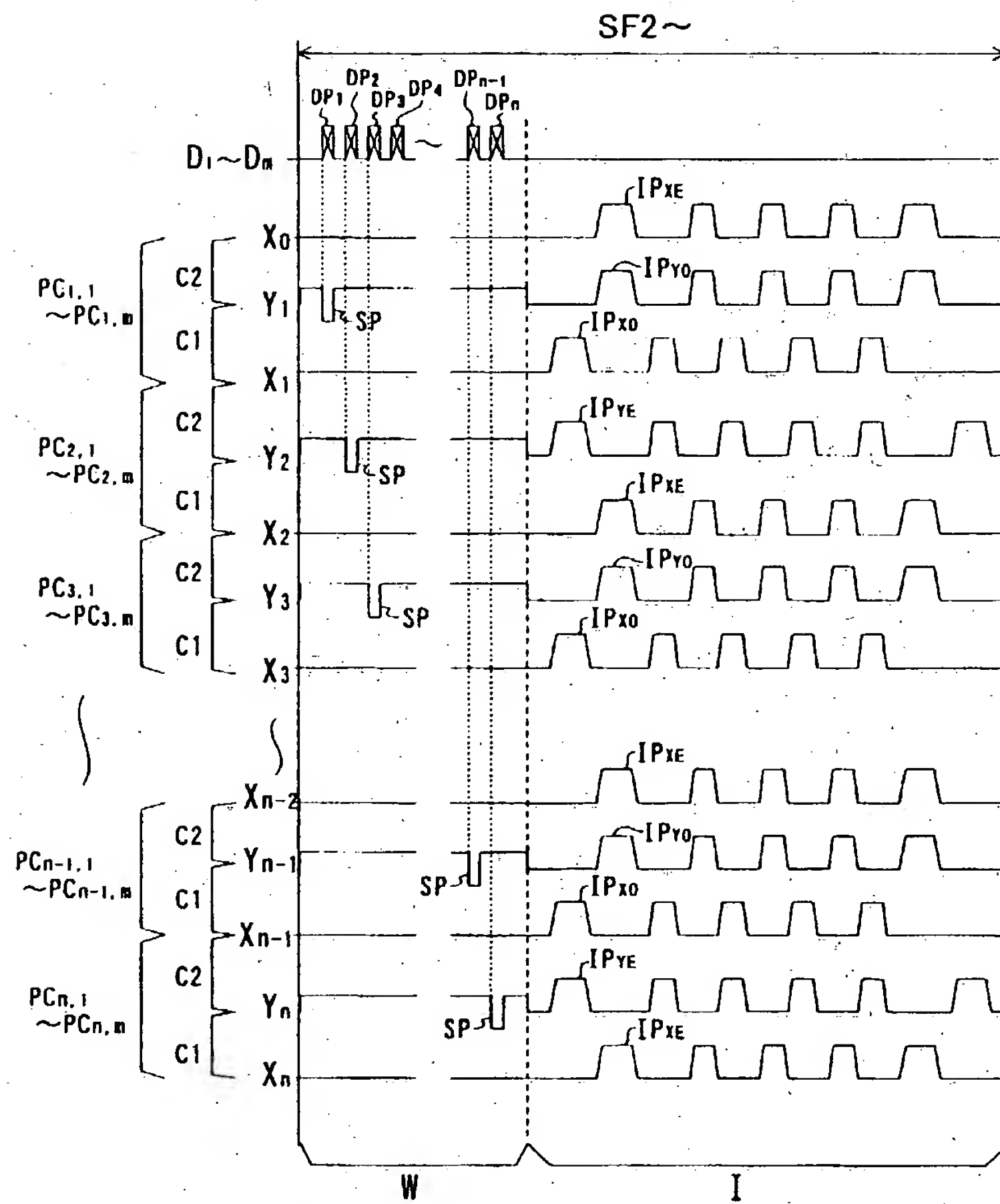
【図 1 2】



【図 13】



【図 14】



【図 1 5】

	駆動パターン								
	SF 1	SF 2	SF 3	SF 4	SF 5	SF 6		SF (N-2)	SF (N-1) (N)
1									
2	○								
3	○	○							
4	○	○	○						
⋮									
N-1	○	○	○	○	○	○		○	
N	○	○	○	○	○	○		○	○
N+1	○	○	○	○	○	○		○	○

【図 1 6】

	駆動パターン								
	SF 1	SF 2	SF 3	SF 4	SF 5	SF 6		SF (N-2)	SF (N-1) (N)
1	●								
2	○	●							
3	○	○	●						
4	○	○	○	●					
⋮									
N-2	○	○	○	○	○	○		●	
N-1	○	○	○	○	○	○		○	●
N	○	○	○	○	○	○		○	○
N+1	○	○	○	○	○	○		○	○



【書類名】 要約書

【要約】

【課題】 コントラストを向上させることが出来る表示装置及び表示パネルの駆動方法を提供することを目的とする。

【解決手段】 交互にかつ一対毎に配列順を入れ替えて形成されている複数の第 1 行電極及び第 2 行電極各々と複数の列電極各々との交叉部に、第 1 放電セルと光吸収層及び 2 次電子放出材料層を備えた第 2 放電セルとからなる単位発光領域が形成されている表示パネルを駆動するにあたり、表示画像を司る発光を担うサステイン放電を上記第 1 放電セルにて生起させる一方、表示画像には関与しない発光を伴うリセット放電及びアドレス放電を上記第 2 放電セルにて生起させる。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都目黒区目黒1丁目4番1号

氏 名 パイオニア株式会社

出 願 人 履 歴 情 報

識別番号

[398050283]

1. 変更年月日 1998年 7月16日

[変更理由] 新規登録

住 所 静岡県袋井市鷺巣字西ノ谷15の1

氏 名 静岡パイオニア株式会社